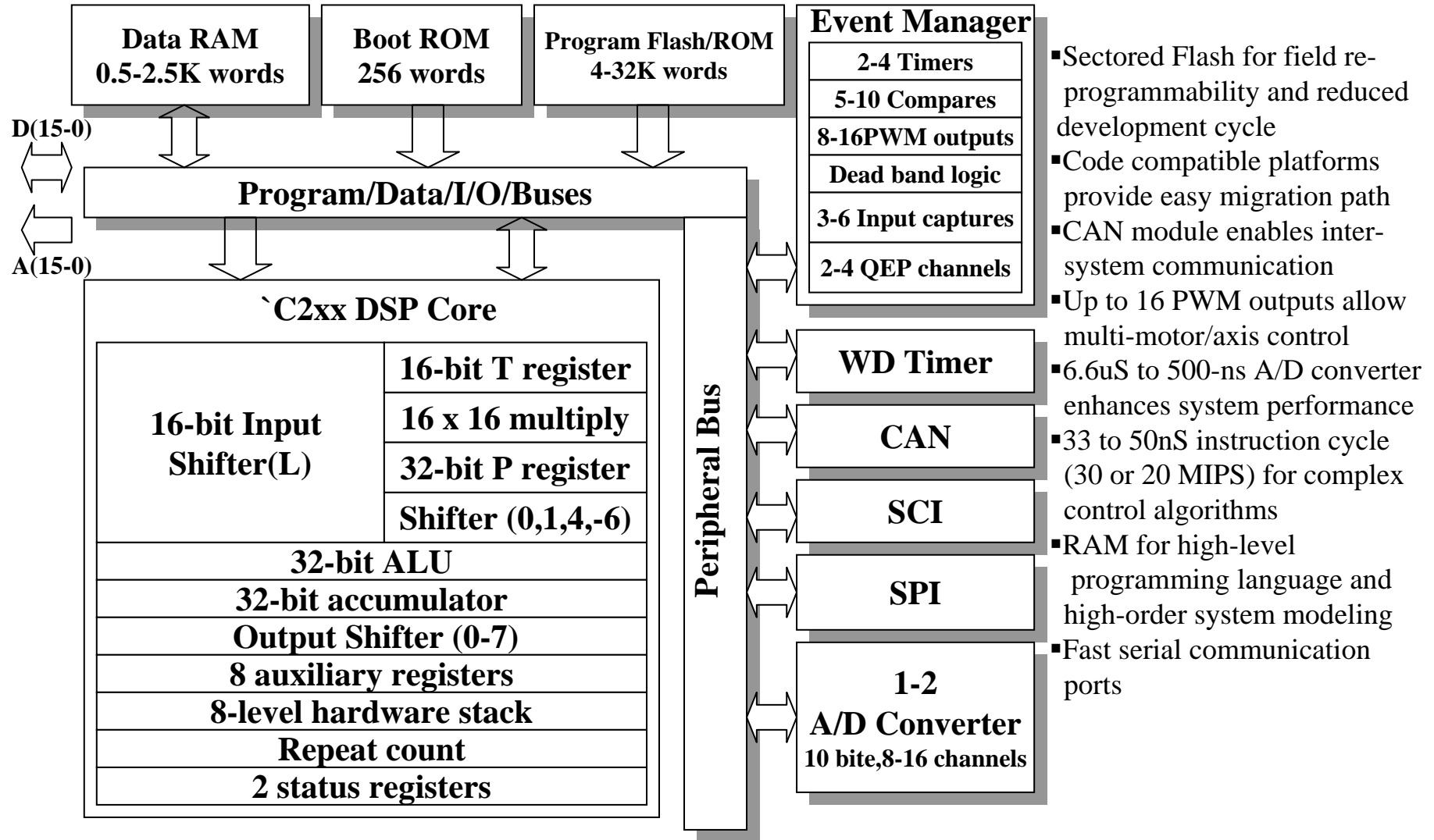


TMS320F/C24X DSP controller features



事件管理者模組(EV 模組)

- 事件管理者模組(Event Manager Module, 簡稱 EV 模組)概要
- TMS320F243 與 TMS320F/C240 中 EV 模組之差異
- EV 暫存器位址(Event Manager Register Addresses)
- 一般用途計時器(General-Purpose Timer, 簡稱 GP 計時器)
- GP 計時器的計數操作
- GP 計時器比較操作
- GP 計時器控制暫存器(TxCON 和 GPTCON)
- 使用 GP 計時器作為比較和 PWM 輸出的產生
- 比較單元
- PWM 電路結合完全比較單元
- 比較單元的 PWM 波形產生與 PWM 電路
- 空間向量脈波寬度調變(Space-Vector PWM, SVPWM)
- 捕捉(Capture)單元
- 方形編碼器脈波(Quadrature Encoder Pulse, QEP)電路
- 事件管理者(EV)中斷

EV 模組概要

TMS320F/C240

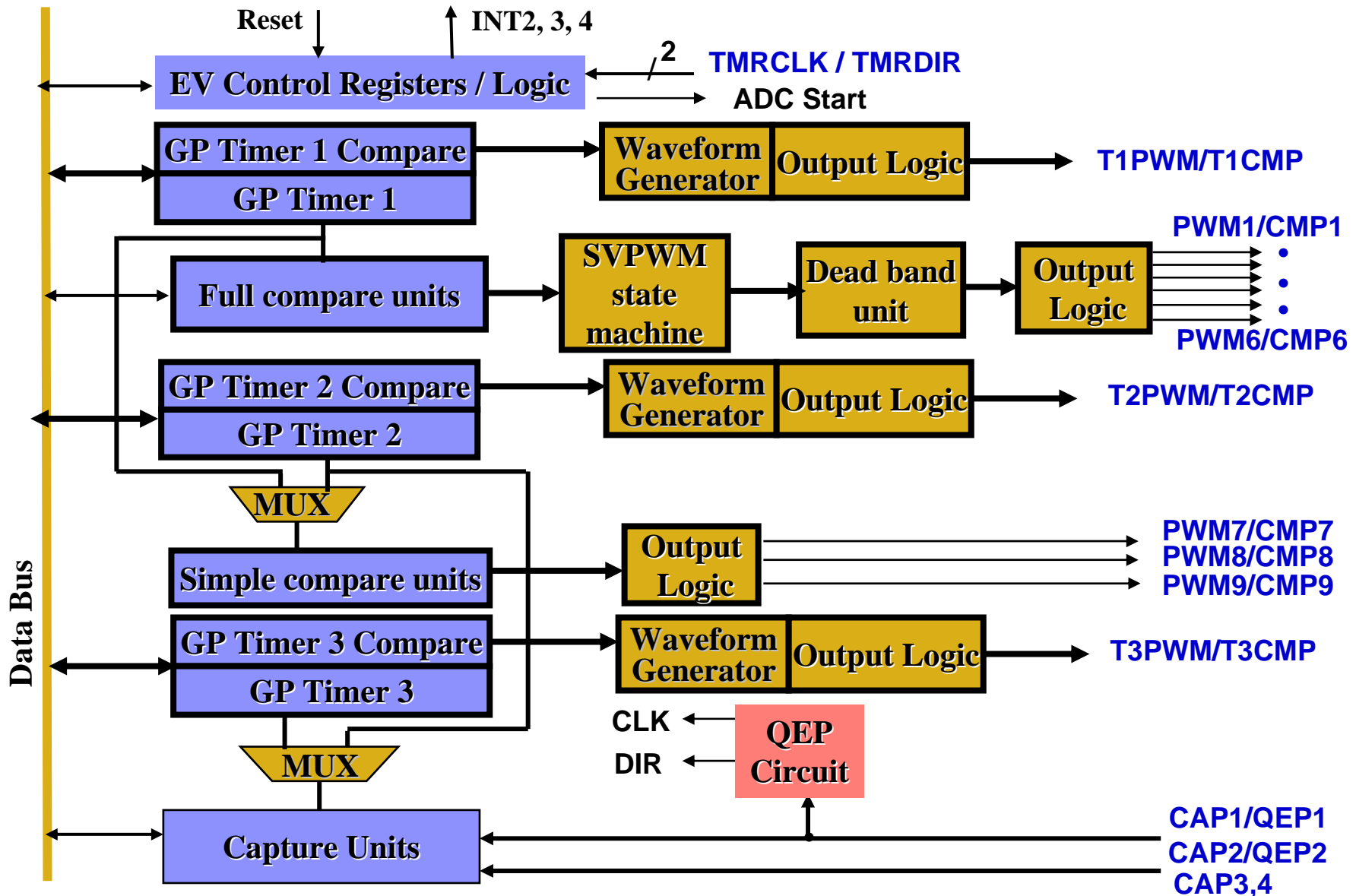
- 3 組 GP 計時器(General-purpose timers)。
- 3 組完全比較單元(Full compare unit)。
- 3 組簡易比較單元(Simple compare unit)。
- 脈波寬度調變(Pulse-Width Modulation , PWM)電路包含：
 - 一組空間向量 PWM(Space-Vector PWM , SVPWM) 產生電路。
 - 停滯帶(dead-band)產生單元。
 - 輸出邏輯。
- 4 組捕捉單元(Capture unit)。
- 方形編碼器脈波(Quadrature Encoder Pulses , QEP)電路。
- 事件管理者中斷 (EV Interrupts)。

EV 模組概要

TMS320F243

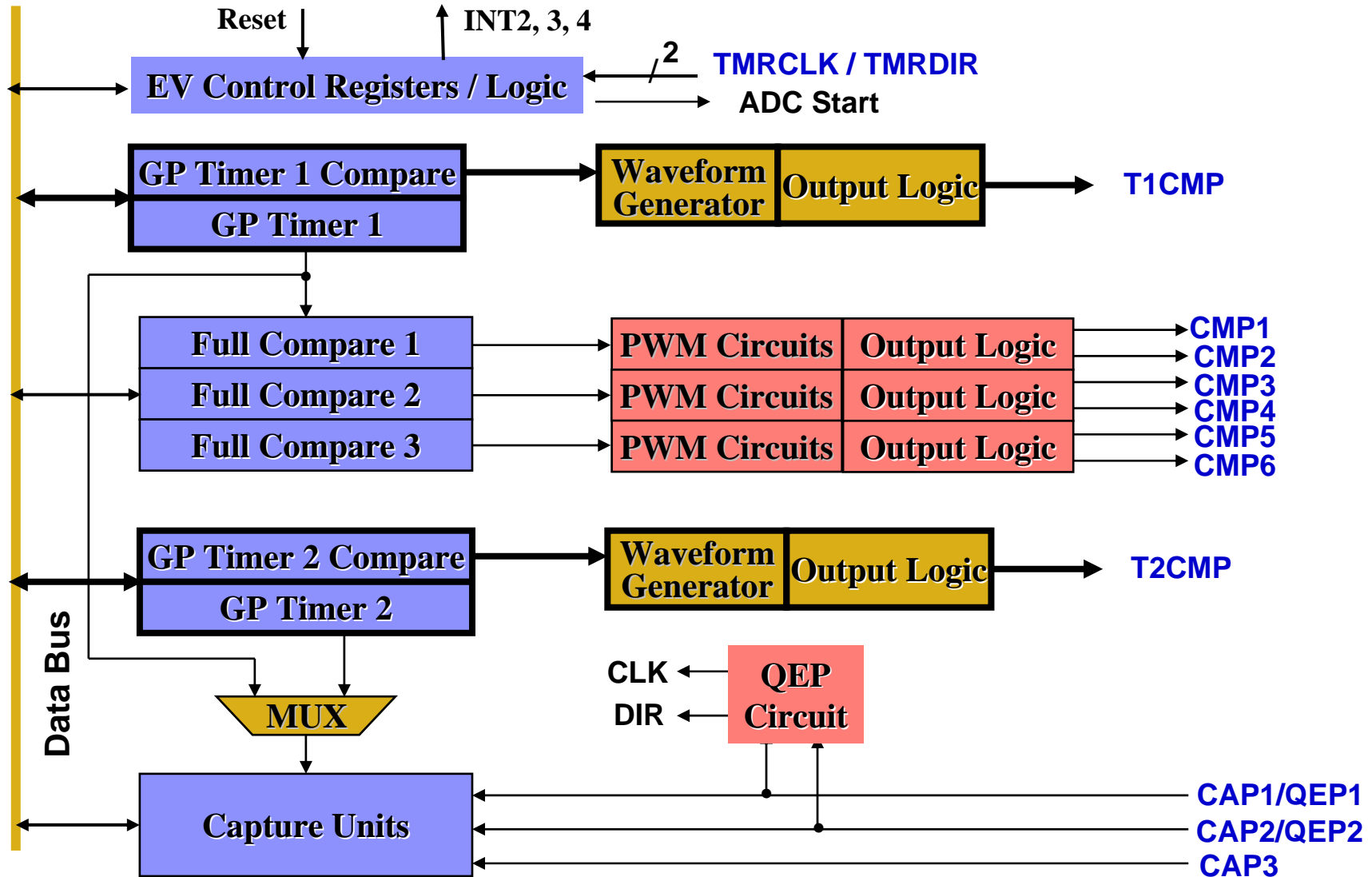
- ❑ 2 組 GP 計時器(General-purpose timers)。
- ❑ 3 組比較單元(Compare unit)。
- ❑ 脈波寬度調變(Pulse-Width Modulation , PWM)電路包含：
 - 一組空間向量 PWM(Space-Vector PWM , SVPWM) 產生電路。
 - 停滯帶(Dead-band)產生單元。
 - 輸出邏輯。
- ❑ 3 組捕捉單元(Capture unit)。
- ❑ 方形編碼器脈波(Quadrature Encode Pulses , QEP)電路。
- ❑ 中斷邏輯。

Event Manager (EV) functional blocks (TMS320F240)



Event Manager (EV) functional blocks (TMS320F243)

Data derived from AmRoad Co.



EV Pins

TMS320F240:

A. 12 device pins for compare/PWM outputs:

- Three GP timer compare/PWM output pins
 - T1PWM/T1CMP
 - T2PWM/T2CMP
 - T3PWM/T3CMP
- Six full compare/PWM output pins
 - PWM1/CMP1 ■ PWM4/CMP4
 - PWM2/CMP2 ■ PWM5/CMP5
 - PWM3/CMP3 ■ PWM6/CMP6
- Three simple compare/PWM output pins
 - PWM7/CMP7
 - PWM8/CMP8
 - PWM9/CMP9

B. 4 device pins for capture or QEP inputs:

- CAP1/QEP1 ■ CAP3
- CAP2/QEP2 ■ CAP4

C. 2 external GP timer inputs:

- TMRCLK
- TMRDIR

TMS320F243:

A. 8 device pins for compare/PWM outputs:

- Two GP timer compare/PWM output pins
 - T1CMP
 - T2CMP
- Six full compare/PWM output pins
 - CMP1 ■ CMP4
 - CMP2 ■ CMP5
 - CMP3 ■ CMP6

B. 3 device pins for capture or QEP inputs:

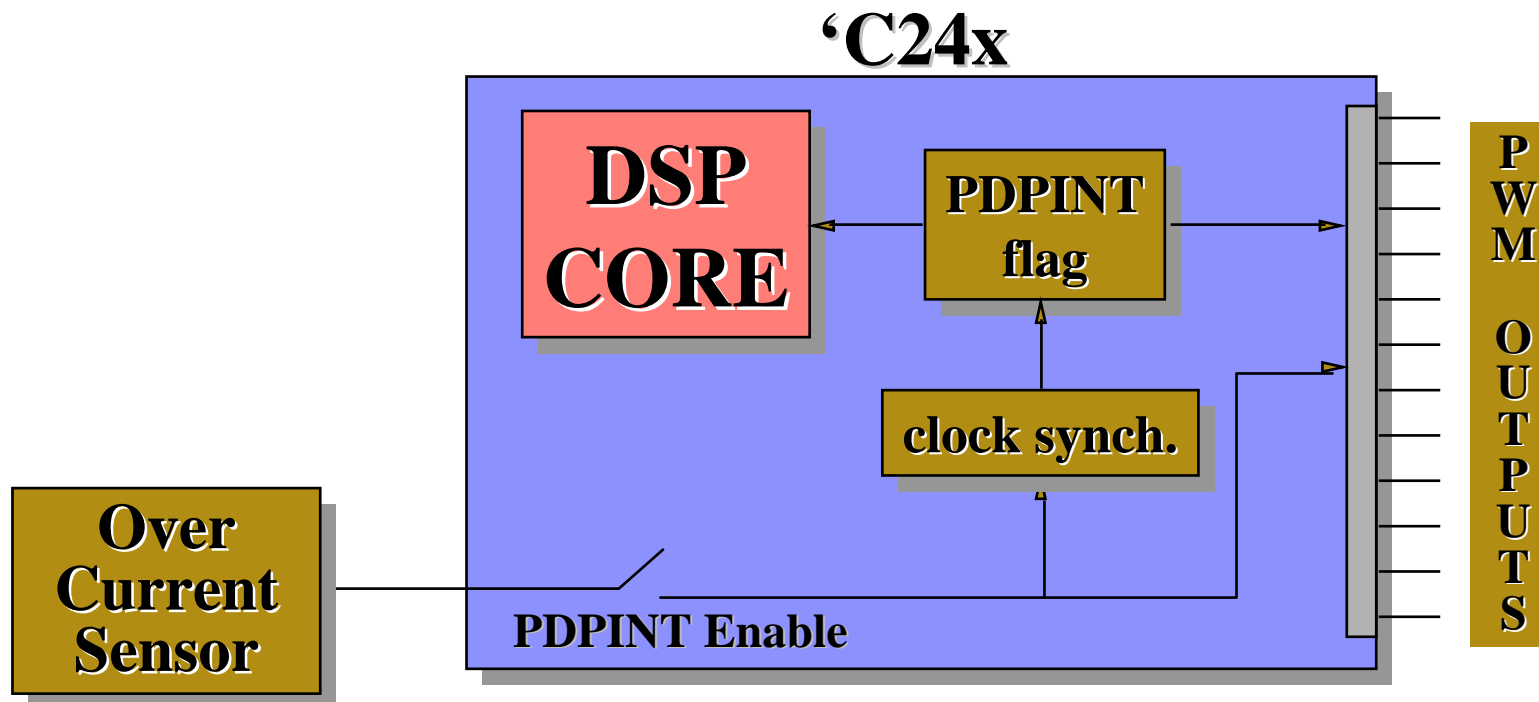
- CAP1/QEP1 ■ CAP3
- CAP2/QEP2

C. 2 external GP timer inputs:

- TCLKIN
- TDIR

Power-Drive Protection

- ◆ Interrupt latency may not protect hardware when responding to over current through ISR software
- ◆ PDPINT has a fast, clock independent logic path to high-impedance the PWM output pins (~ 45-55 ns)



EV Interrupts

- ❑ Interrupt mask registers: **EVIMRA, EVIMRB, EVIMRC**
- ❑ Interrupt flag registers: **EVIFRA, EVIFRB, EVIFRC**
- ❑ Interrupt vector registers: **EVIVRA, EVIVRB, EVIVRC**

- ❑ An interrupt flag can be reset to 0 in two ways:
 - 1) User software writes a 1 to the corresponding bit in **EVIFRA, EVIFRB, or EVIFRC.**
 - 2) User software reads its interrupt vector ID after an interrupt request generated by its group has been taken.

Interrupt & Peripheral vector address

Group	Interrupt	Vector addr.	ID
A (INT2)	PDPINT		0020h
	CMP1INT		0021h
	CMP2INT		0022h
	CMP3INT		0023h
	SCMP1INT		0024h
	SCMP2INT	7432h	0025h
	SCMP3INT	(EVIVRA)	0026h
	T1PINT		0027h
	T1CINT		0028h
	T1UFINT		0029h
	T1OFINT		002Ah

Group	Interrupt	Vector addr.	ID
C (INT4)	CAP1INT		0033h
	CAP2INT	7434h	0034h
	CAP3INT	(EVIVRC)	0035h
	CAP4INT		0036h

	Interrupt	Vector addr.	ID
INT1	XINT1		0001h
	XINT2		0011h
	XINT3		001Fh
	SPINT	701Eh	0005h
	RXINT		0006h
	TXINT		0007h
	RTINT		0010h

Group	Interrupt	Vector addr.	offset
B (INT3)	T2PINT		002Bh
	T2CINT		002Ch
	T2UFINT		002Dh
	T2OFINT		002Eh
	T3PINT	7433h	002Fh
	T3CINT	(EVIVRB)	0030h
	T3UFINT		0031h
	T3OFINT		0032h

	Interrupt	Vector addr.	ID
INT5	SPINT		0005h
	RXINT	701Eh	0006h
	TXINT		0007h

	Interrupt	Vector addr.	ID
INT6	ADINT		0004h
	XINT1	701Eh	0001h
	XINT2		0011h
	XINT3		001Fh

EV暫存器

EV模組的所有暫存器是映射(mapped)到資料記憶體內。它們的位址在64K字元組(64K words) 資料記憶體範圍中佔有64(16-bit)個字組長度。在軟體程式中，這些暫存器被視為資料記憶體位址處理，而大部分DSP指令皆具有此功能。當使用程式讀取EV暫存器中沒被定義之字元時，將傳回0值。

GP 計時器之暫存器位址

位址	暫存器	名稱	
7400h	GPTCON	GP 計時器控制暫存器	
7401h	T1CNT	GP 計時器 1 計數暫存器	
7402h	T1CMP	GP 計時器 1 比較暫存器	
7403h	T1PR	GP 計時器 1 週期暫存器	
7404h	T1CON	GP 計時器 1 控制暫存器	
7405h	T2CNT	GP 計時器 2 計數暫存器	
7406h	T2CMP	GP 計時器 2 比較暫存器	
7407h	T2PR	GP 計時器 2 週期暫存器	
7408h	T2CON	GP 計時器 2 控制暫存器	
7409h	T3CNT	GP 計時器 3 計數暫存器	('F/C240 適用)
740Ah	T3CMP	GP 計時器 3 比較暫存器	('F/C240 適用)
740Bh	T3PR	GP 計時器 3 週期暫存器	('F/C240 適用)
740Ch	T3CON	GP 計時器 3 控制暫存器	('F/C240 適用)

完全與簡易比較單元之暫存器位址

位址	暫存器	名稱
7411h	COMCON	比較控制暫存器
7413h	ACTR	完全比較動作控制暫存器
7414h	SACTR	簡易比較動作控制暫存器 ('F/C240 適用)
7415h	DBTCON	停滯帶(dead-band)時間控制暫存器
7417h	CMPR1	完全比較單元比較暫存器 1
7418h	CMPR2	完全比較單元比較暫存器 2
7419h	CMPR3	完全比較單元比較暫存器 3
741Ah	SCMPR1	簡易比較單元比較暫存器 1 ('F/C240 適用)
741Bh	SCMPR2	簡易比較單元比較暫存器 2 ('F/C240 適用)
741Ch	SCMPR3	簡易比較單元比較暫存器 3 ('F/C240 適用)

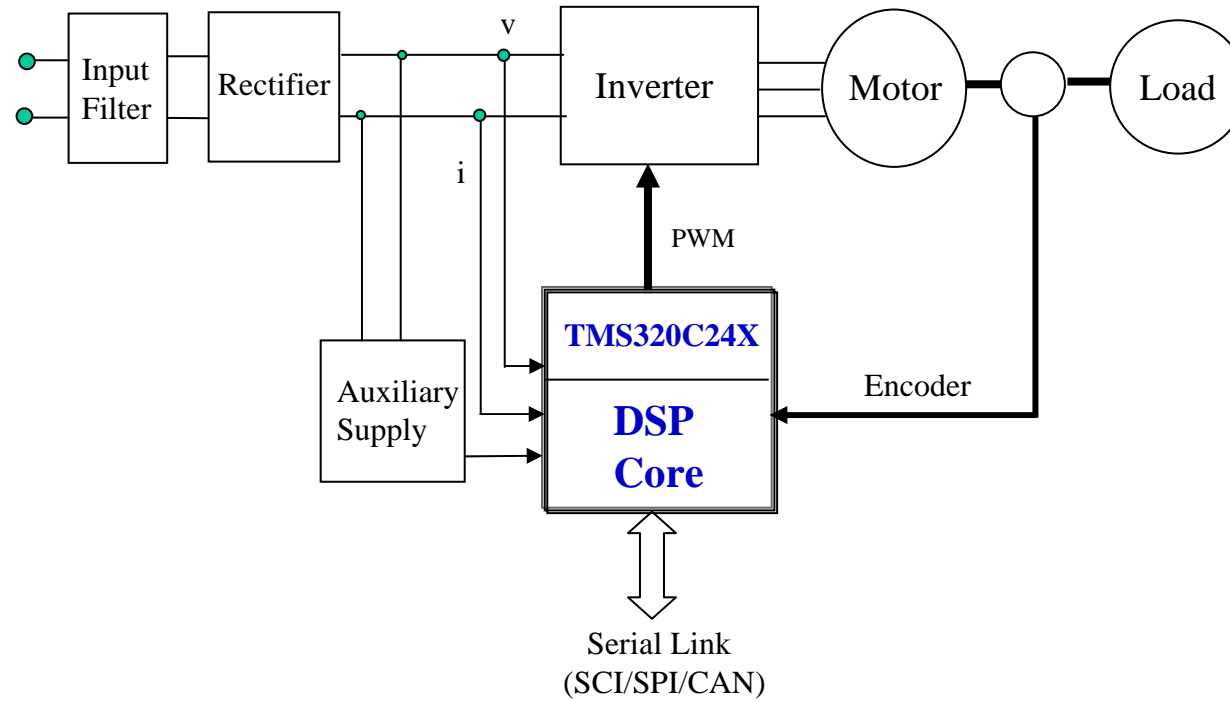
捕捉單元及QEP 電路之暫存器位址

位址	暫存器	名稱	
7420h	CAPCON	捕捉控制暫存器	
7422h	CAPFIFO	捕捉 FIFO 狀態暫存器	
7423h	CAP1FIFO	捕捉單元 1 之 FIFO 堆疊	
7424h	CAP2FIFO	捕捉單元 2 之 FIFO 堆疊	
7425h	CAP3FIFO	捕捉單元 3 之 FIFO 堆疊	
7426h	CAP4FIFO	捕捉單元 4 之 FIFO 堆疊	(’F/C240 適用)
7427h	CAP1FBOT	FIFO 堆疊之底部暫存器 1	(’F243 適用)
7428h	CAP2FBOT	FIFO 堆疊之底部暫存器 2	(’F243 適用)
7429h	CAP3FBOT	FIFO 堆疊之底部暫存器 3	(’F243 適用)

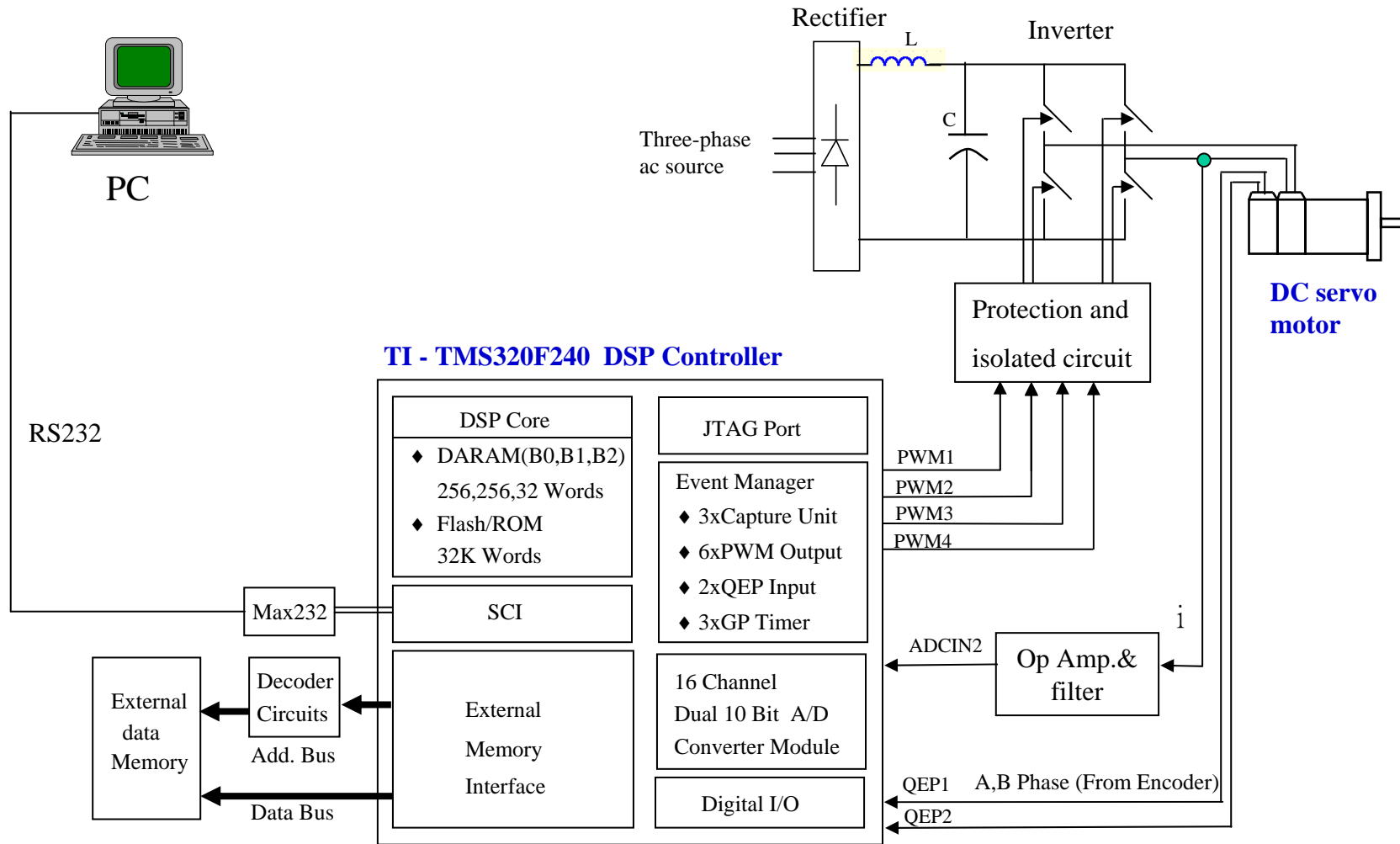
EV 中斷之暫存器位址

位址	暫存器	名稱	
742Ch	EVIMRA	中斷遮罩暫存器	
742Dh	EVIMRB		
742Eh	EVIMRC		
742Fh	EVIFRA	中斷旗標暫存器	
7430h	EVIFRB		
7431h	EVIFRC		
7432h	EVIVRA	中斷向量暫存器	('F/C240 適用)
7433h	EVIVRB		
7434h	EVIVRC		
701Eh	PIVR	週邊中斷向量暫存器	('F243 適用)

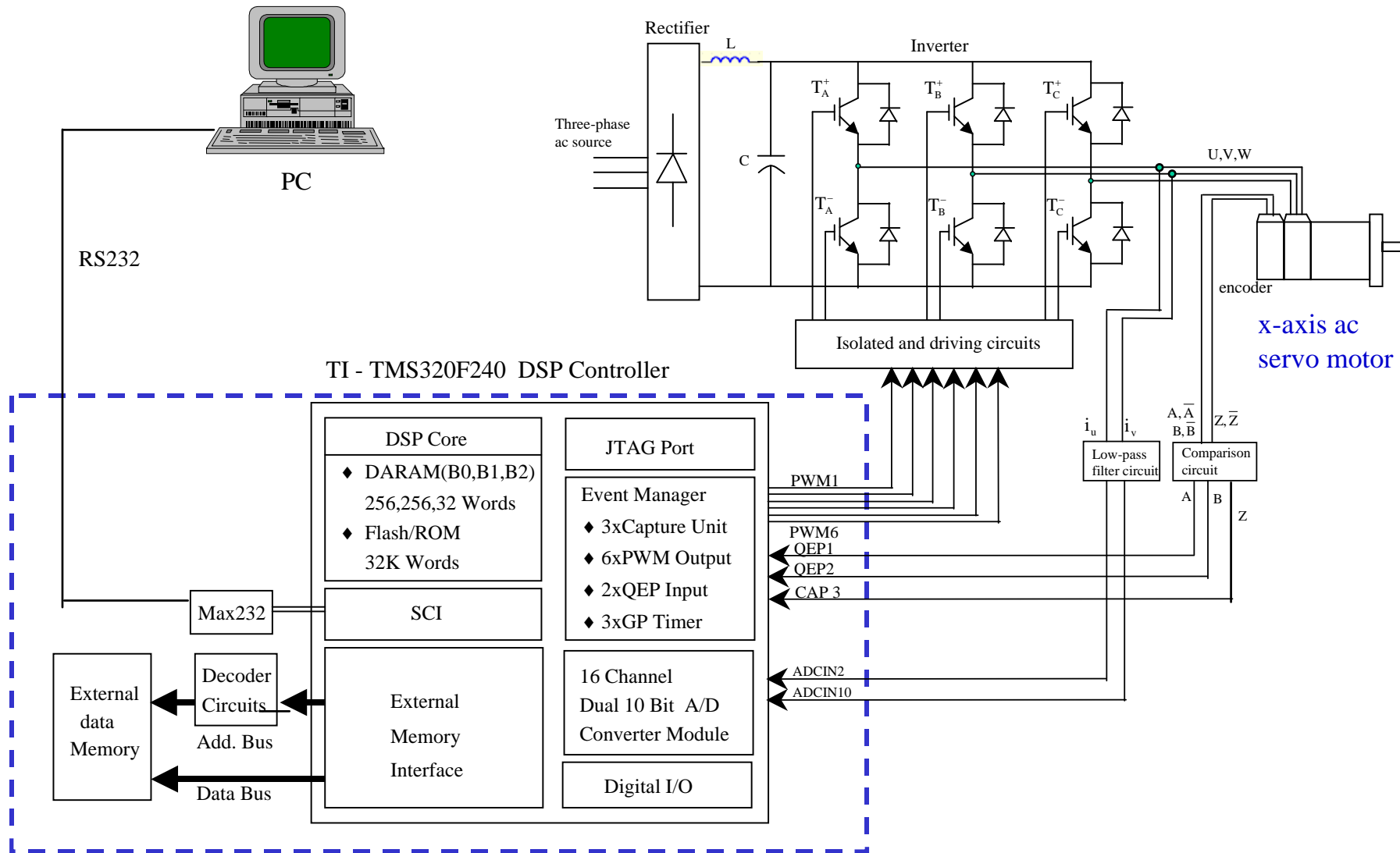
DSP_based Servo Drive System



DSP_based DC Servo Drive System



DSP_based AC Servo Drive System



一般用途計時器(GP計時器)

TMS320F/C240之EV模組內具有3組GP計時器而
TMS320F243之EV模組內僅具有2組GP計時器。

- 可提供控制系統取樣週期的產生。
- 提供QEP電路及捕捉單元操作時之時間基底。
- 可提供完全及簡易比較單元與其相關聯PWM電路產生的比較/PWM輸出時所需要的時間基底。

一般用途計時器(GP計時器)

每個GP計時器包含有：

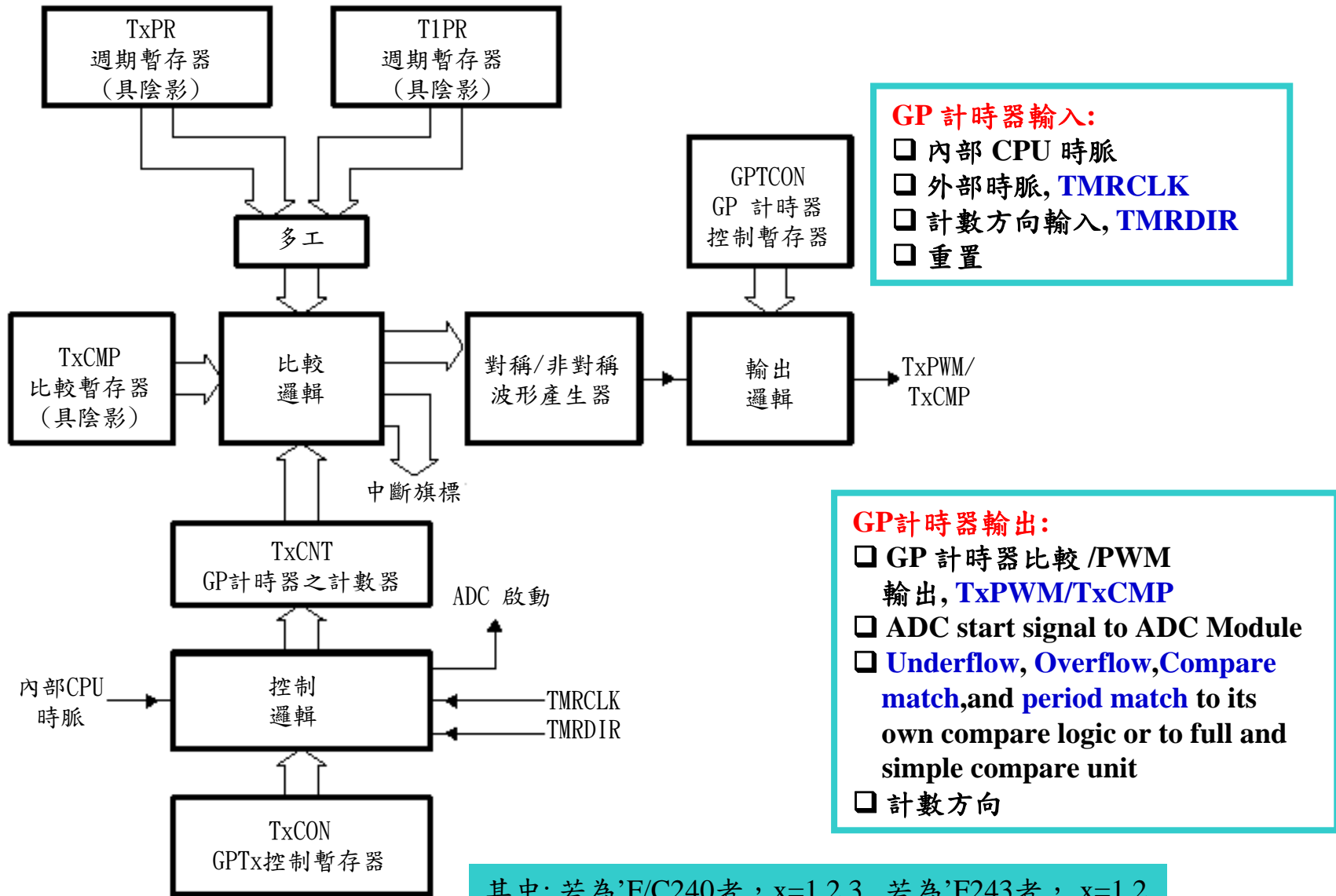
- 1組可讀/寫16位元上或上/下計數器，TxCNT
- 1組可讀/寫16位元比較暫存器(具陰影,Shadowed)，TxCMPR
- 1組可讀/寫16位元週期暫存器(具陰影,Shadowed)，TxPR
- 1組可讀/寫16位元控制暫存器，TxCON
- 可程式預先倍率器(prescale)，應用在內部及外部時脈之輸入。
- 控制和中斷邏輯。
- 一組GP計時器比較輸出腳位，TxPWM/TxCMP
- 輸出邏輯。

另一控制暫存器, GPTCON，可設定不同計時器事件發生時產生之動作及可指示3組GP計時器計數之方向。GPTCON是可讀寫的，但寫入這3個狀態位元都是無效的。

其中: 若為'F/C240者，x=1,2,3

若為'F243者， x=1,2

GP 計時器方塊圖



控制(TxCON)暫存器

TxCON暫存器之位元可決定：

- 計時器是致能或禁能。
- GP計時器為何種計數模式。
- GP計時器使用的是內部或外部CPU時脈。
- 輸入時脈有6種預先倍率(prescale)(範圍從1到1/128)，那一種倍數被使用。
- 重新載入時，計時器比較暫存器是採用何種方式。
- 計時器比較操作是致能或禁能。
- 採用GP計時器1之週期暫存器或是本身的週期暫存器當作週期值，(僅適用於T2CON和T3CON)。

比較(TxCMPR)暫存器

比較暫存器內含值的值與GP計時器之計數值會不斷的比較。當兩個值符合(相等)時，下列事件將發生：

- ❑ 比較/PWM輸出。
- ❑ 根據GPTCON之位元設定來啟動ADC。
- ❑ 比較中斷旗標被設定為1。

這項操作能由TxCON的第一位元之設定來致能或禁能。

週期(TxPR)暫存器

GP計時器的週期暫存器之內含值，決定計時器的計時週期。當GP計時器之計數值到達週期暫存器之內容值，GP計時器會停止和暫停。然後根據計時器之計數模式，計數器之計數值會重置到0或開始往下計數。

GP計時器比較和週期暫存器之雙緩衝器(Double Buffer)

GP計時器比較和週期暫存器, TxCMP和TxPR是具有陰影(shadowed)的。在任何時間週期內可將新的數值寫入兩者週期暫存器之一，無論如何新的數值僅是被寫入陰影暫存器(Shadow register)內的。

GP計時器比較和週期暫存器之雙緩衝器(Double Buffer)

對於比較暫存器而言，在某些條件下陰影暫存器的內含值才會載入工作暫存器(working register)內。下列情況為比較暫存器重新載入(reload)的條件：

- 寫入陰影暫存器後立即被載入。
- 在欠位(underflow)狀態，也就是在GP計時器之計數值為0時。
- 在欠位或週期符合狀態，也就是當計數值是0或當計數值等於週期暫存器之內含值時。

對於週期暫存器而言，僅有在計數器TxCNT是0的情況下，陰影暫存器的內含值才會載入工作暫存器內。

GP計時器的比較/PWM輸出

GP計時器的比較/PWM輸出，可根據GPTCON位元之規劃，以設定為

- 1.主動高準位(Active high)動作
- 2.主動低準位(Active low)動作
- 3.強迫高準位(Forced high)動作
- 4.強迫低準位(Forced low)動作

當設定為主動高(低)準位時，在第一次比較符合後，輸出將由低準位轉到高準位(或高準位到到低準位)。假如GP計數器是上/下計數模式且在第二次比較符合時，或假如GP計時器為上數模式且在週期符合時，則輸出將由高準位轉為低準位(或低準位轉為高準位)。計時器比較輸出若指定為強迫高準位(或低準位)，則立即變成高準位(或低準位)。

以QEP為基底之時脈輸入

QEP(Quadrature Encode Pulse)電路經選擇後，在方向式上/下計數模式中會產生輸入時脈和計數方向給GP計時器2、3。此輸入時脈不能夠由GP計時器的預先倍率器(prescale)電路產生除頻(也就是，當以QEP電路作為時脈來源時，GP計時器的預先倍率器總是選擇為1)。而且，QEP電路產生之時脈輸入頻率為每一個QEP輸入之實際頻率的四倍，因為QEP輸入頻道之上緣及下緣觸發信號都將給所選擇之計時器產生計數動作。基本上，QEP之輸入頻率必須小於或等於CPU時脈之1/4。

藉由GP計時器事件啟動ADC

在GPTCON內之位元能指定依GP計時器事件，如欠位、比較符合或週期符合來產生ADC啟動訊號。此特點在CPU沒有干涉情況下，可提供GP計時器事件與ADC啟動之間的同步性。

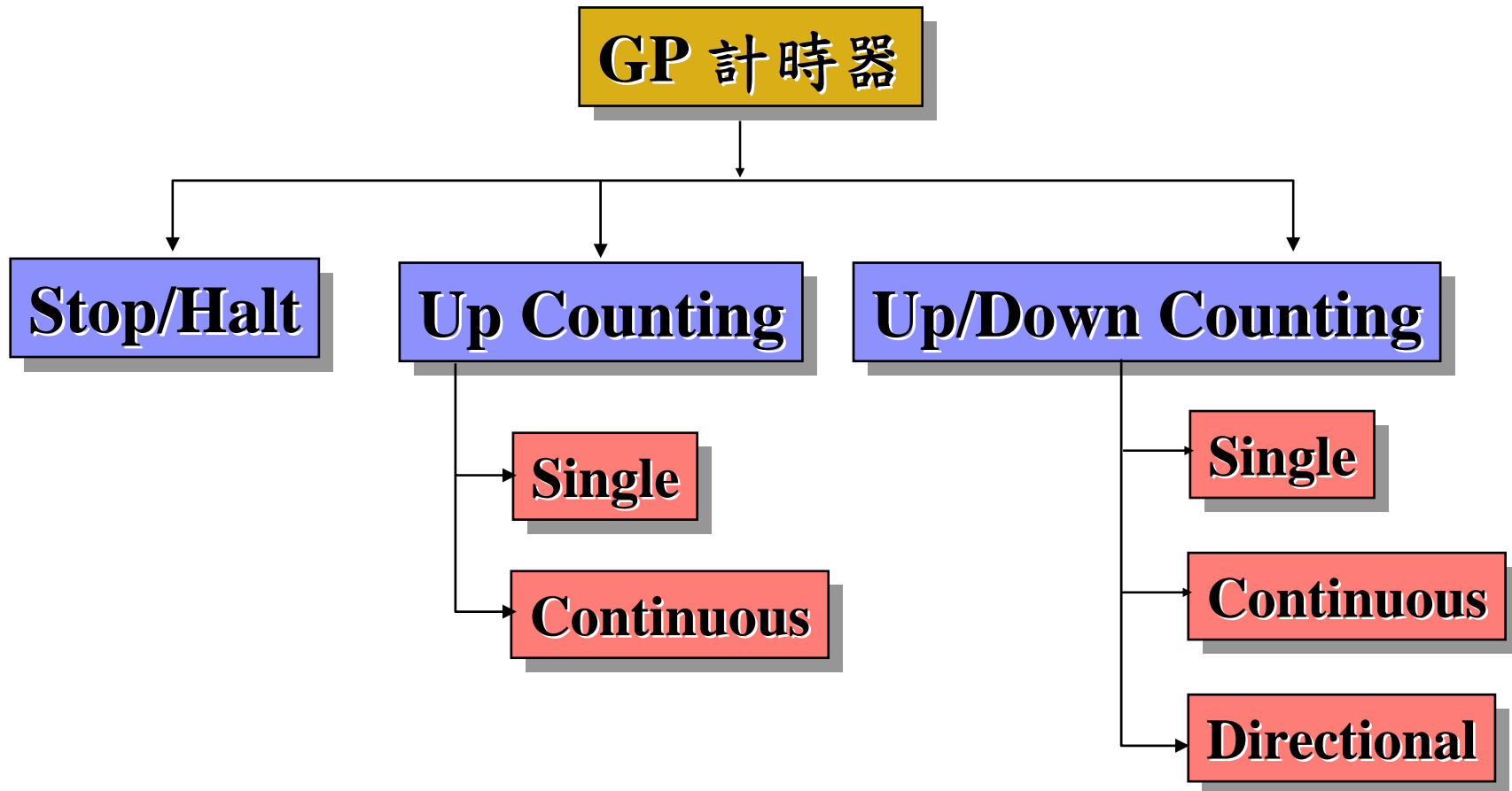
GP 計時器中斷

每個GP計時器在下列四個事件將產生中斷:

- 溢位 (**Overflow**): TxOFINT
- 欠位 (**Underflow**): TxUFINT
- 比較符合 (**Compare match**): TxCINT
- 週期符合 (**Period match**): TxPINT

其中: 若為'F/C240者, x=1,2,3
若為'F243者, x=1,2

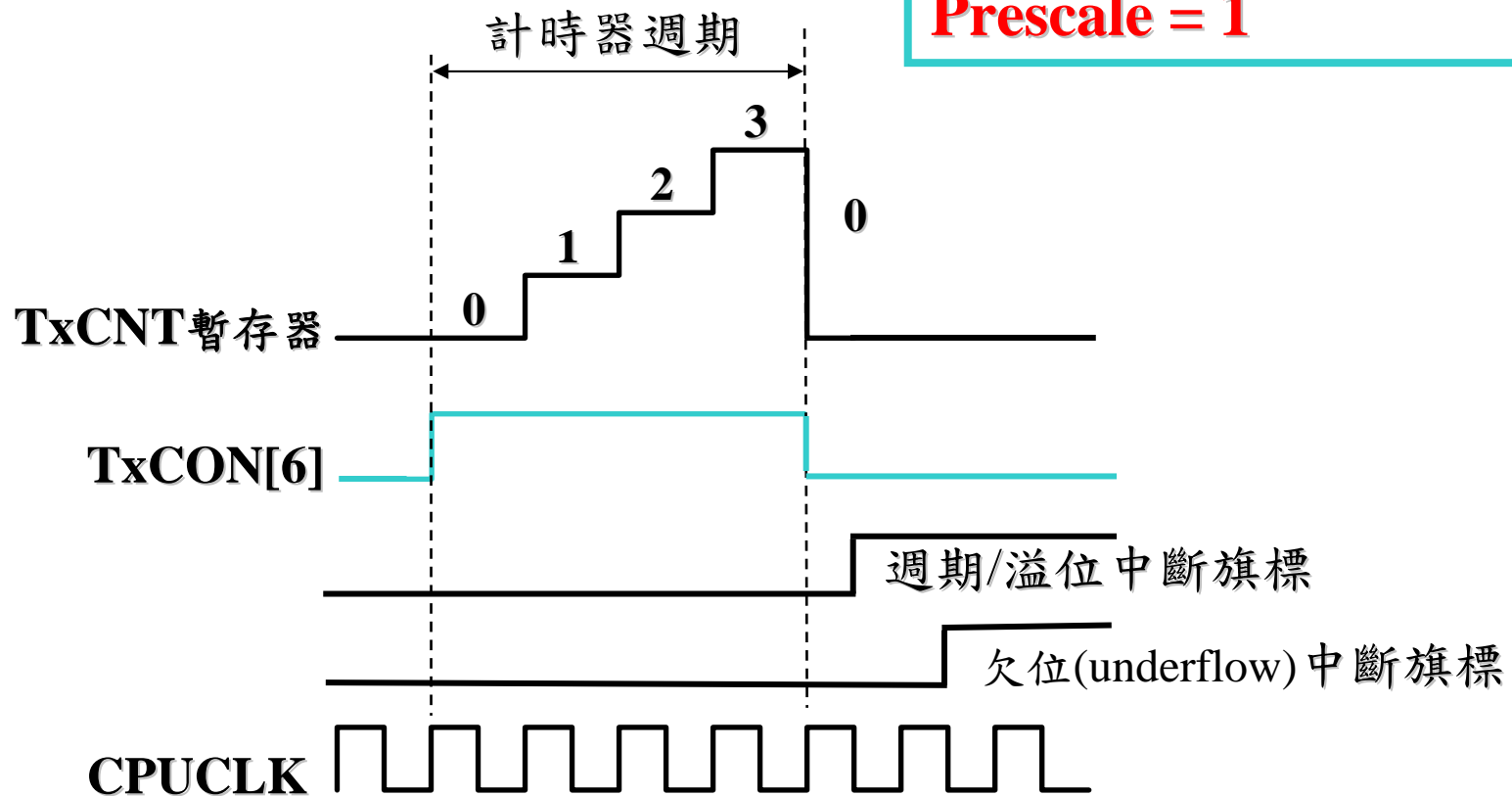
GP計時器計數模式(Counting Mode)



Refer to AmRoad Co.

Single Up Counting Mode

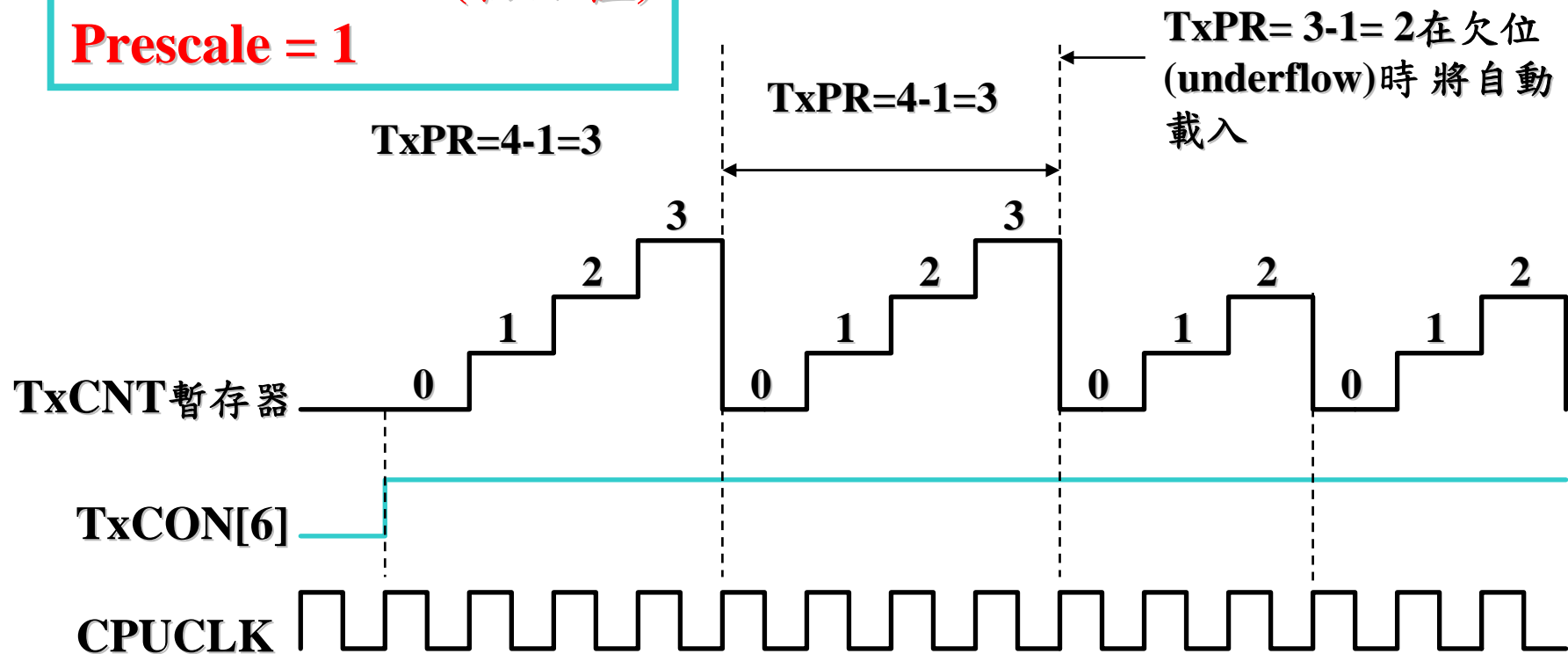
此例中：
 $TxPR = 4 - 1 = 3$ (初始值)
Prescale = 1



Refer to AmRoad Co.

Continuous Up Counting Mode

此例中：
 $TxPR = 4 - 1 = 3$ (初始值)
Prescale = 1

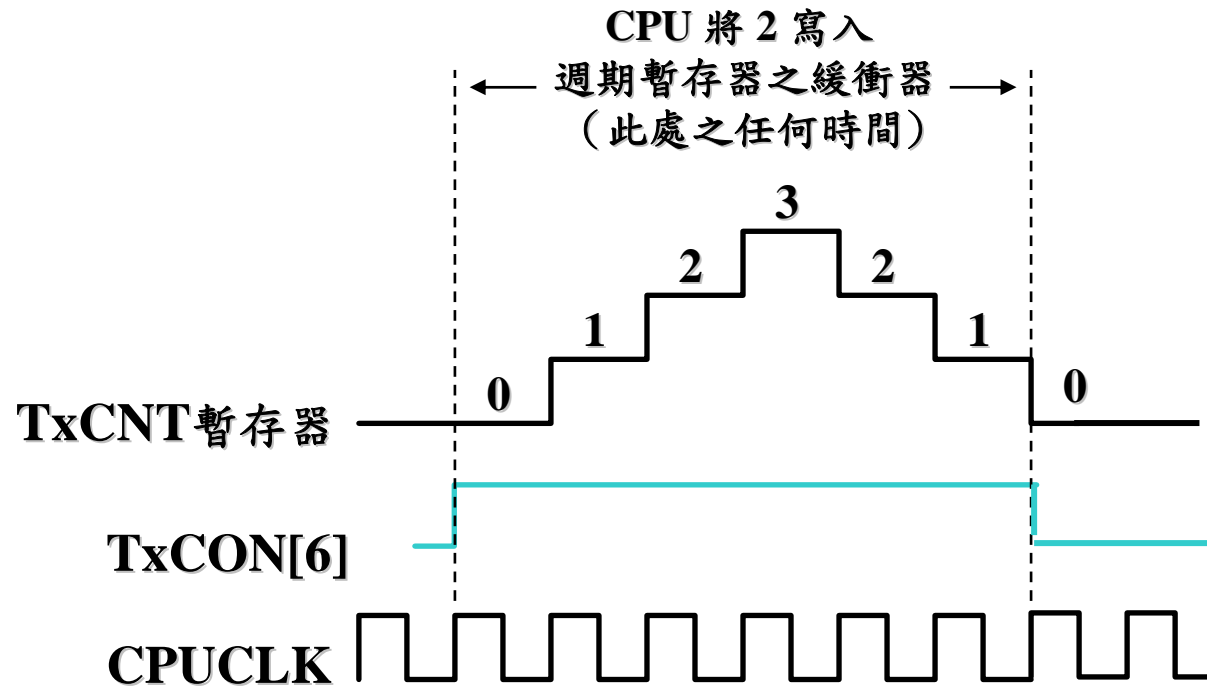


Refer to AmRoad Co.

Single Up/Down Counting Mode

此例中：
TxPR = 3 (初始值)
Prescale = 1

- 上/下計數週期為 $2 * TxPR$

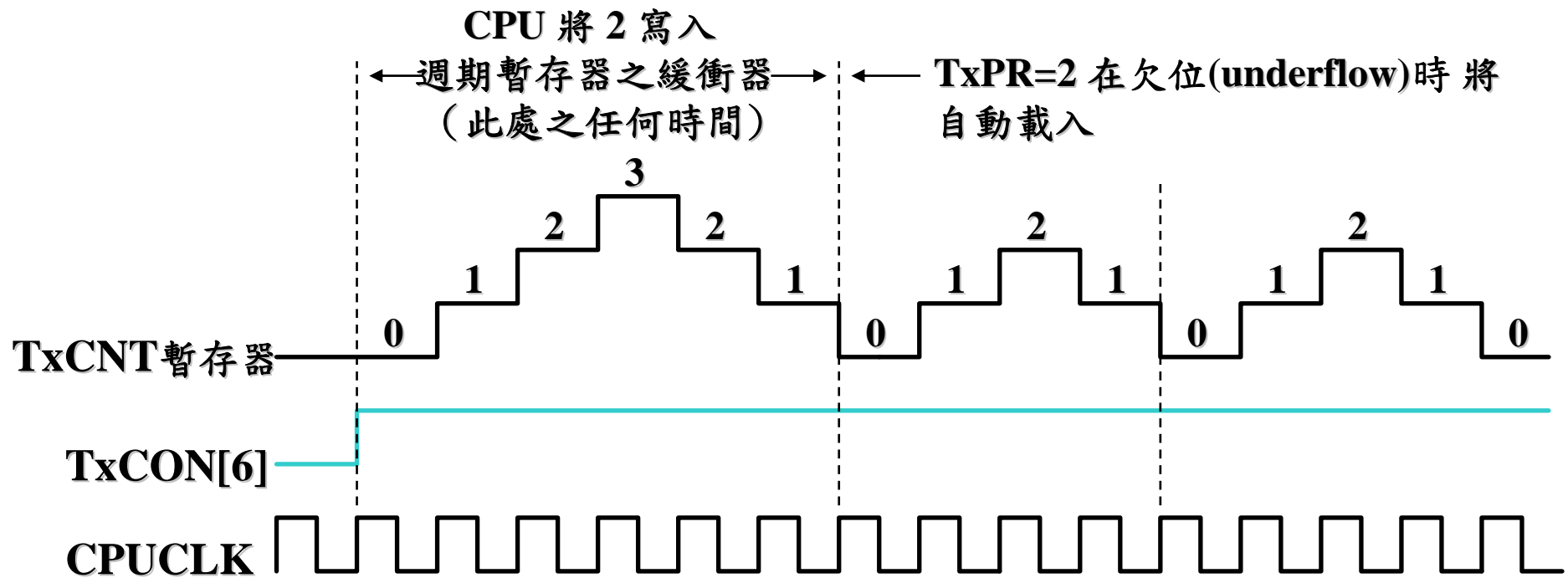


Refer to AmRoad Co.

Continuous Up/Down Counting Mode

此例中：
TxPR = 3 (初始值)
Prescale = 1

- Seamless up/down repetition
- 上/下計數週期為 $2 * TxPR$

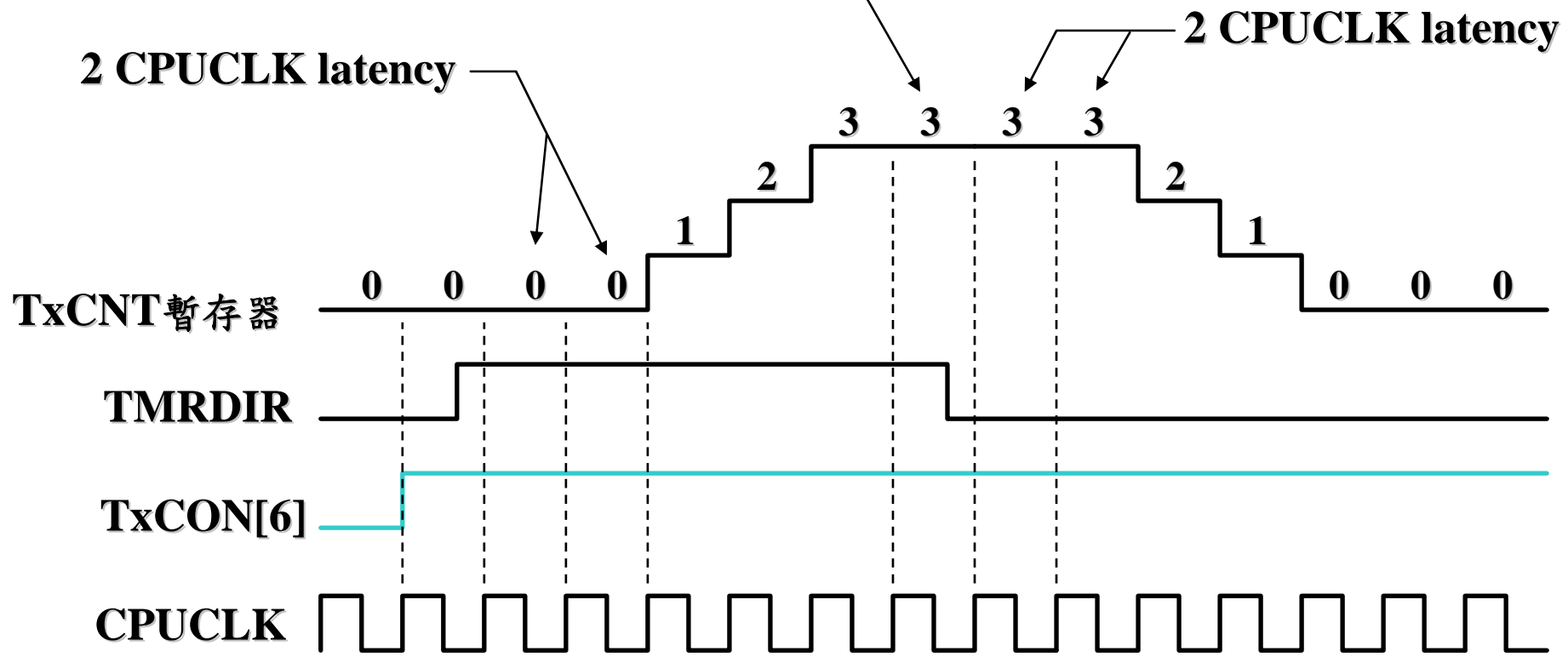


Refer to AmRoad Co.

Directional Up/Down Counting mode

此例中：
TxPR = 3
Prescale = 1
CPUCLK 為輸入時脈

在TxPR=3時計數暫停
因為 TMRDIR = hi
on rising clock edge



Refer to AmRoad Co.

GP計時器控制暫存器(TxCON; x = 1, 2或 3)

Figure 2-10. GP Timer Control Register (TxCON; x = 1, 2, and 3) — Addresses 7404h, 7408h, and 740Ch

15	14	13	12	11	10	9	8
Free	Soft	TMODE2	TMODE1	TMODE0	TPS2	TPS1	TPS0
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0
7	6	5	4	3	2	1	0
TSWT1	TENABLE	TCLKS1	TCLKS0	TCLD1	TCLD0	TECMPR	SELT1PR
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0

Note: R = read access, W = write access, -0 = value after reset

Bits 13-11 TMODE2-TMODE0. 計數模式選擇

000 = Stop/hold

001 = Single up counting mode

010 = Continuous up counting mode

011 = Directional up/down counting mode

100 = Single up/down counting mode

101 = Continuous up/down counting mode

110 = 保留

111 = 保留

Bits 10-8 TPS2-TS0. 輸入時脈除頻比例(Prescale)

Bit 7 TSWT1. (GP計時器由GP計時器1啟動).

Bit 6 TENABLE. 計時器致能.

Bits 5-4 TCLKS1, TCLKS0. 時脈來源選擇

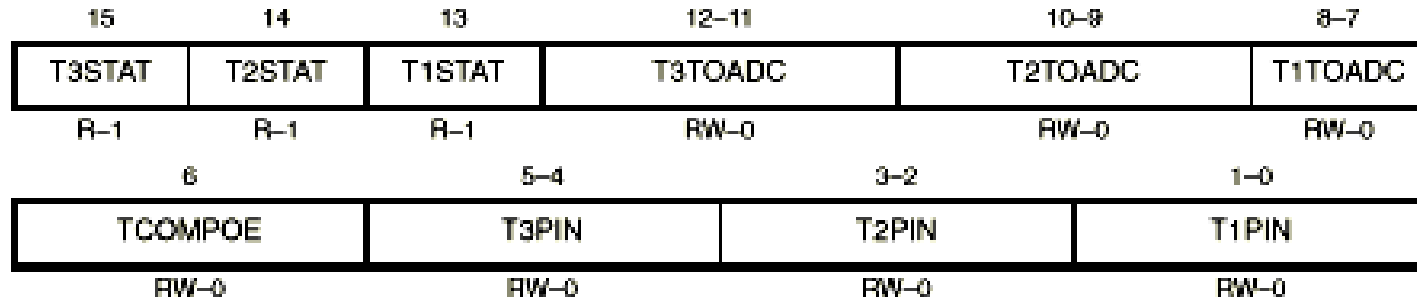
Bits 3-2 TCLD1, TCLD0. 計時器比較(致動)暫存器再載入狀況

Bit 1 TECMPR. 計時器比較致能.

Bit 0 SELT1PR. 週期暫存器選擇.

GP 計時器控制暫存器 (GPTCON)

Figure 2-11. GP Timer Control Register (GPTCON) — Address 7400h



Note: R = read access, W = write access, -n = value after reset

Bit 15 T3STAT. GP計時器3狀態. Read only

Bit 14 T2STAT. GP計時器2狀態. Read only

Bit 13 T1STAT. GP計時器1狀態. Read only

Bits 12-11 T3TOADC. Start ADC by GP計時器3 event

Bits 10-9 T2TOADC. Start ADC by GP計時器2 event

Bits 8-7 T1TOADC. Start ADC by GP計時器1 event

Bit 6 TCOMPOE. 比較輸出致能.

Bits 5-4 T3PIN. Polarity of GP計時器3 compare output

Bits 3-2 T2PIN. Polarity of GP計時器2 compare output

Bits 1-0 T1PIN. Polarity of GP計時器1 compare output

0 = Count down
1 = Count up

00 = No event start ADC
01 = underflow to start ADC
10 = period to start ADC
11 = compare to start ADC

00 = Forced low
01 = Active low
10 = Active high
11 = Forced high

單一上數模式初始設定程序

LDP	#0e8h	; 設定DP值
SPLK	#0000000001000001b, GPTCON	; 致能GP計時器1之比較輸出 ; 且設定為主動低準位輸出 ; 不啟動ADC
SPLK	#05, T1PR	; 設定GP計時器1週期數為5
SPLK	#03, T1CMP	; 設定GP計時器1比較值為3
SPLK	#1000100101000010b, T1CON	; 啟動GP計時器1 ; 致能計時器比較操作 ; 在欠位時載入比較值 ; 選擇內部時脈且除頻倍率=/2 ; 設定為單一上數模式

連續上數模式初始設定程序

LDP	#0e8h	; 設定 DP 值
SPLK	#000000001000010b, GPTCON	; 致能 GP 計時器 1 比較輸出
		; 設定為主動高準位輸出
		; 不啟動 ADC
SPLK	#05, T1PR	; 設定 GP 計時器 1 週期數為 5
SPLK	#03, T1CMP	; 設定 GP 計時器 1 比較值為 3
SPLK	#0FFFEh, T1CNT	; 設定 GP 計時器初始計數值
SPLK	#1001000101000010b, T1CON	; 致能計時器比較操作
		; 在欠位時載入比較值
		; 選擇內部時脈
		; 致能 GP 計時器 1
		; 除頻倍率 =/2
		; 連續上數模式

使用外部時脈方向式上/下計數模式的初始化設定程序

LDP	#0e8h	; 設定 DP 值
SPLK	#0000000001000010b, GPTCON	; 致能 GP 計時器 1 比較輸出 ; 設定為主動高準位輸出 ; 不啟動 ADC
SPLK	#05, T1PR	; 設定 GP 計時器 1 週期數為 5
SPLK	#03, T1CMP	; 設定 GP 計時器 1 比較數為 3
SPLK	#1001100001010010b, T1CON	; 致能計時器比較操作 ; 在欠位時載入比較值 ; 選擇外部時脈 ; 致能 GP1 計時器 ; 除頻倍率 =/1 ; 方向式上 / 下計數模式

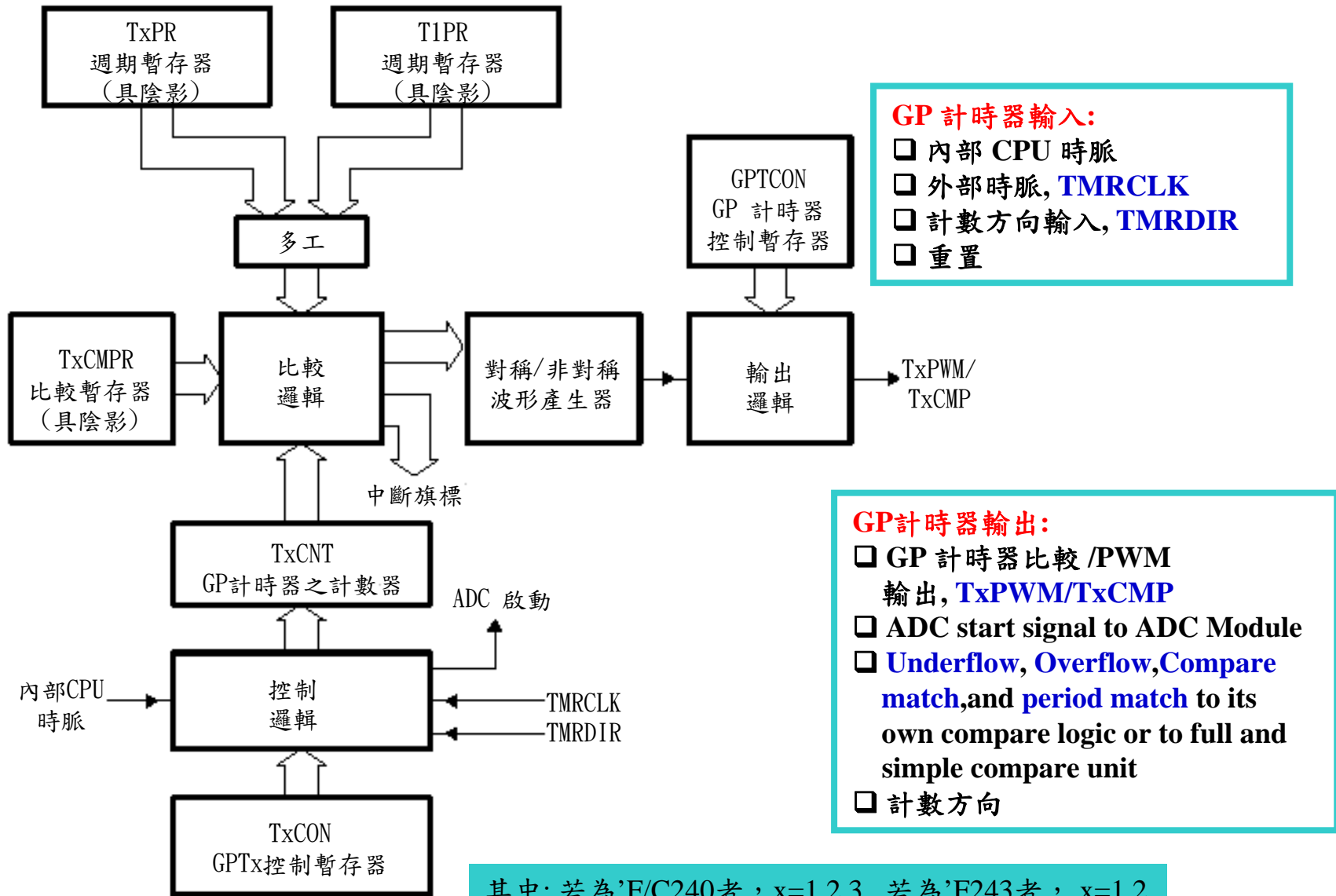
單一上/下計數模式初始設定程序

LDP	#0e8h	; 設定 DP 值
SPLK	#0000000001000001b, GPTCON	; 致能 GP 計時器 1 比較輸出
		; 設定為主動低準位
		; 不啟動 ADC
SPLK	#05, T1PR	; 設定 GP 計時器 1 週期數為 5
SPLK	#03, T1CMP	; 設定 GP 計時器 1 比較值為 3
SPLK	#1000100101000010b, T1CON	; 致能比較器比較操作
		; 在欠位時載入比較值
		; 選擇內部時脈
		; 致能 GP1 計時器
		; 除頻倍率 =/2
		; 單一上 / 下計數模式

連續上/下計數模式之初始設定程序

LDP	#0e8h	; 設定 DP 值
SPLK	#0000000001000011b, GPTCON	; 致能 GP 計時器 1 比較輸出 ; 設定為強迫高準位輸出 ; 不啟動 ADC
SPLK	#05, T1PR	; 設定 GP 計時器 1 週數為 5
SPLK	#03, T1CMP	; 設定 GP 計時器 1 比值為 3
SPLK	#1010100001000000b, T1CON	; 禁能計時器比較操作 ; 使用內部時脈且除頻倍率 =/1 ; 致能 GP 計時器 1 ; 連續上/下計數模式

GP 計時器方塊圖

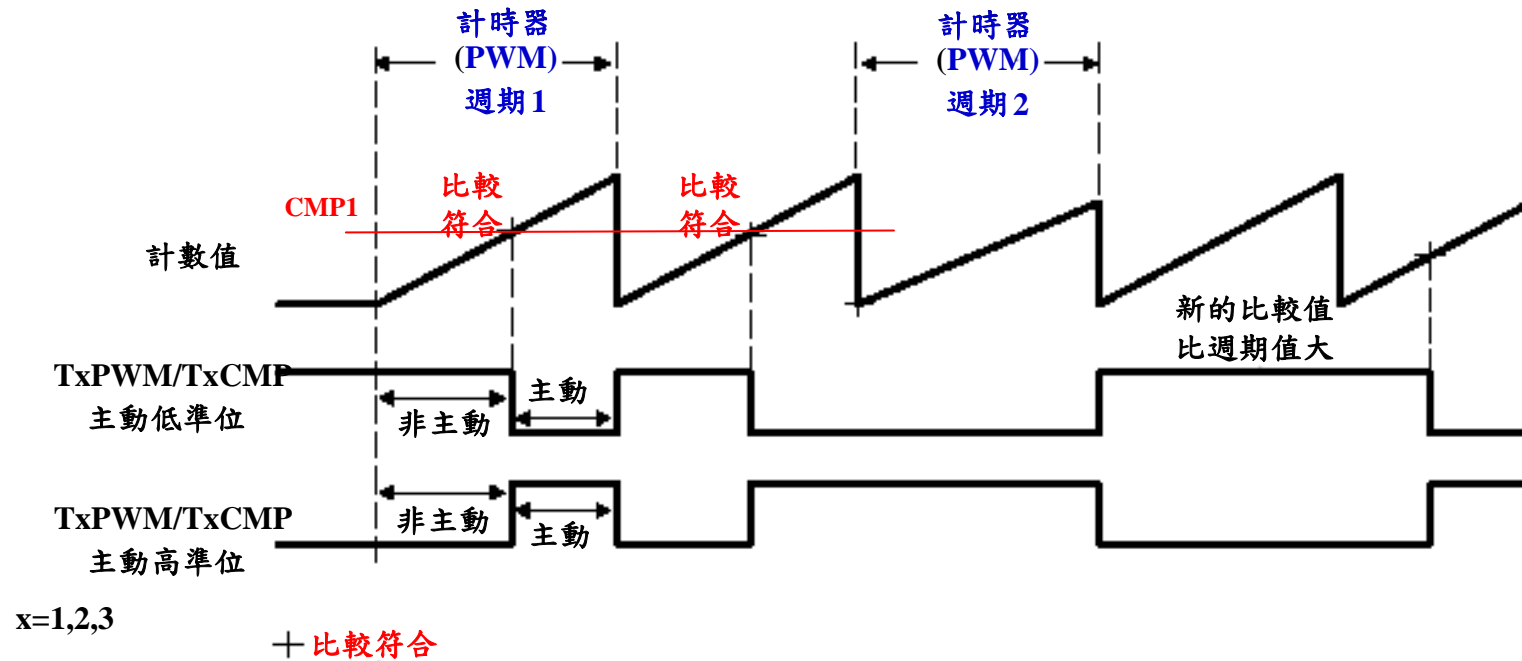


GP計時器比較操作

每個GP計時器都有一個相對應之比較暫存器TxCMPR和一個CMP/PWM輸出腳位，TxPWM/TxCMP。GP計時器計數的值TxCNT會與比較暫存器TxCMPR之內含值不斷的作比較，當計數器的計數值與比較暫存器相同時，則比較符合發生。藉著設定TxCON[1]為1，比較操作將被致能。當比較操作被致能且在比較符合時，下列情況將發生：

- ❑ 在比較符合的2個CPU時脈週期之後，計時器的比較中斷旗標將被設定。
- ❑ 如果GP計時器不屬於方向式上/下計數模式，在比較符合的1個CPU時脈週期之後，相對應之比較/PWM腳位將產生輸出。
- ❑ 若比較中斷旗標藉適當的設定GPTCON位元而被選擇去啟動ADC，則比較中斷旗標被設定的同時，也將產生ADC之啟動訊號。

非對稱波形產生



- GP計時器在單一或連續上數模式時方可產生。
- 計數操作啟動前為0。
- 保持未變直到比較符合發生。
- **比較符合**時轉態(0→1)。
- 保持未變直到週期的結束。
- 假如下一個週期新的比較值為非0，則週期符合時輸出將被重置為0。

PWM Architecture

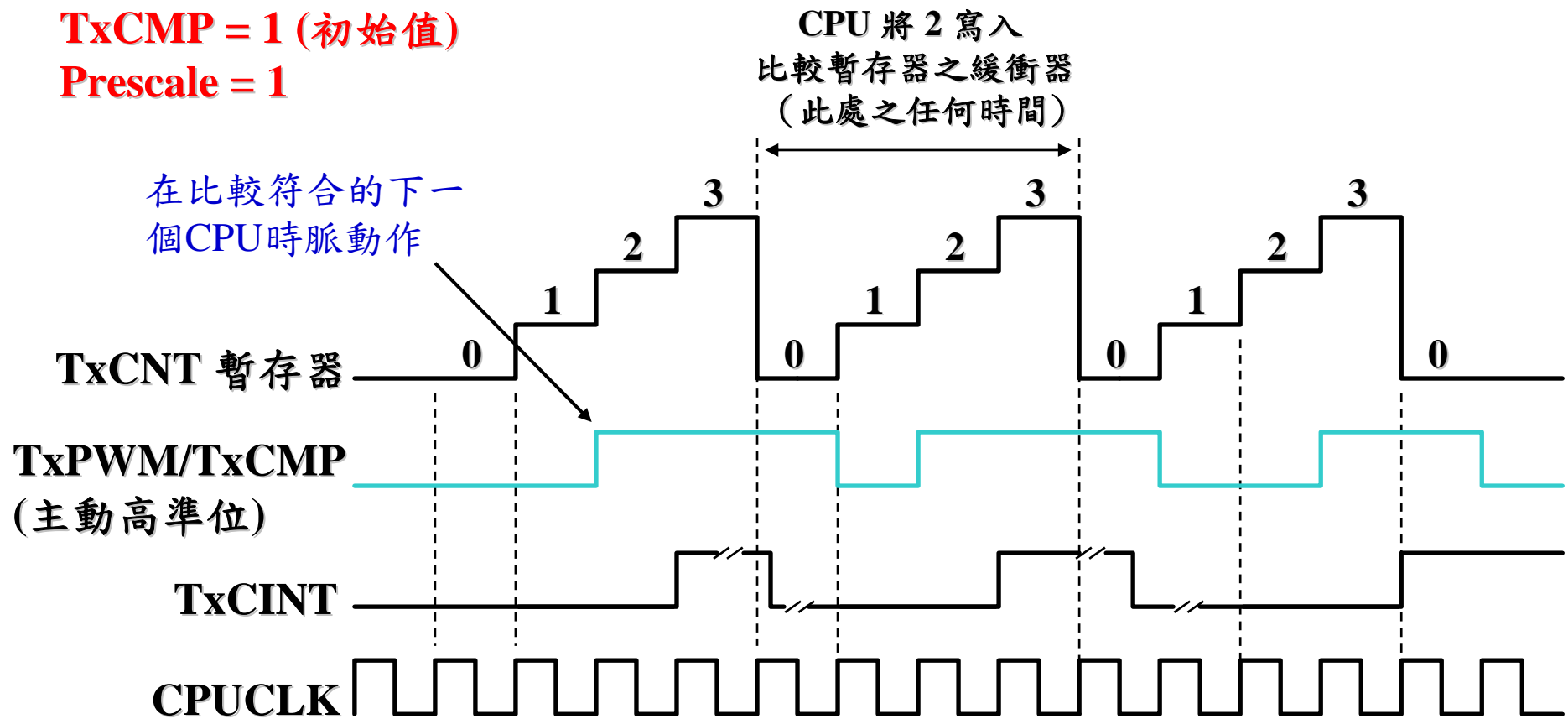
此例中:

TxCON.3-2 = 00 (reload TxCMP on underflow)

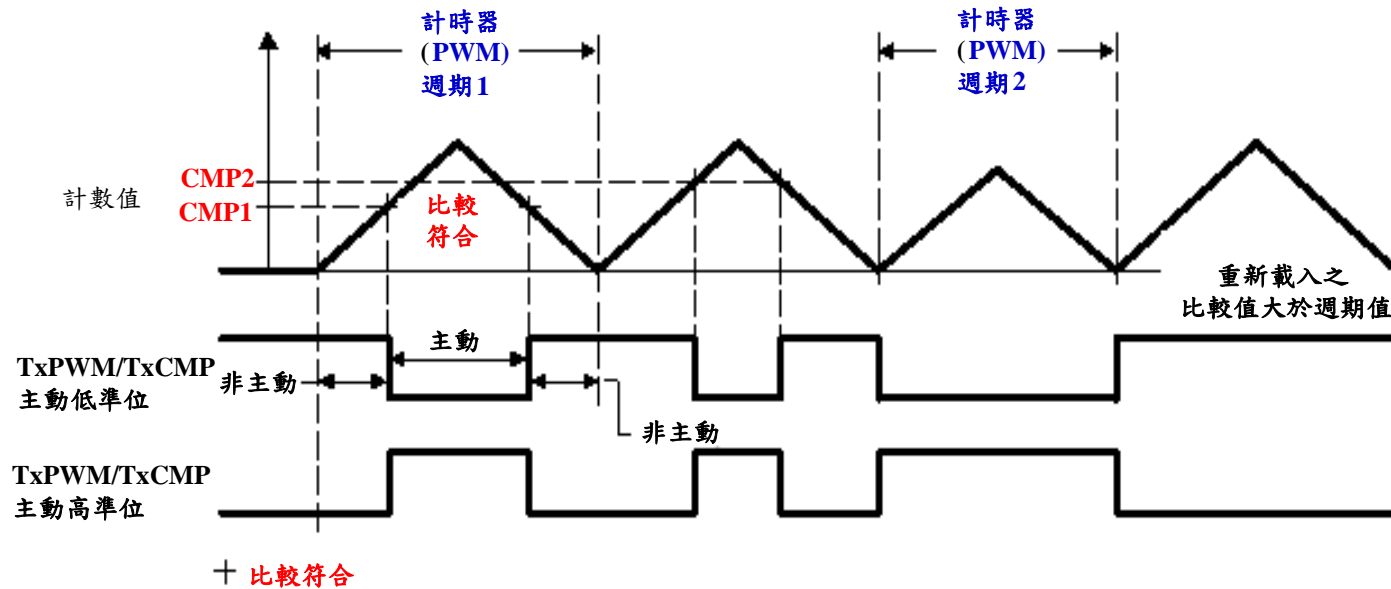
TxPR = 3

TxCMP = 1 (初始值)

Prescale = 1



對稱波形產生



- GP計時器在單一或連續上/下計數模式。
- 計數操作啟動前為0。
- 保持未變直到第一次符合發生。
- 在第一次比較符合時轉態(0→1)。
- 保持未變直到第二次比較符合發生。
- 在第二次比較符合時轉態(1→0)。
- 保持未變直到週期結束。
- 假如沒有第二次比較符合狀況且下一個週期之新的比較值不為0時，則在週期結束時，輸出將重置為0。

PWM Architecture

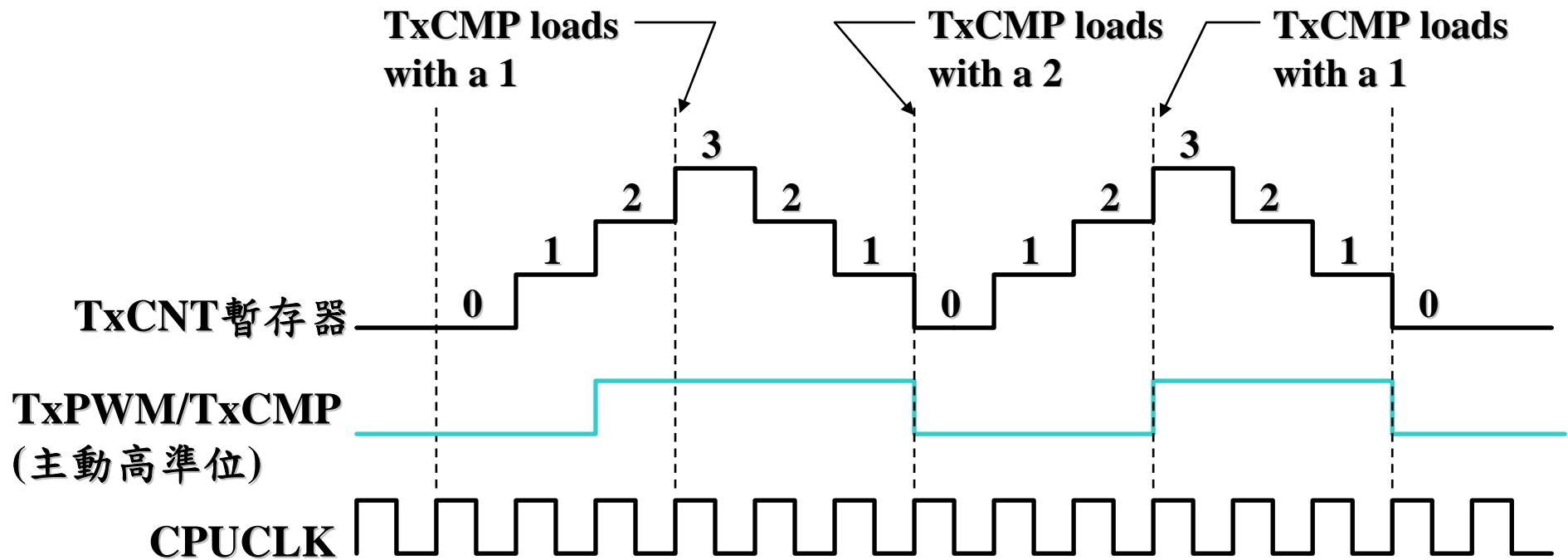
此例中:

TxCON.3-2 = 01 (reload TxCMP when on underflow or period match)

TxPR = 3

TxCMP = 1 (初始值)

Prescale = 1



Refer to AmRoad Co.

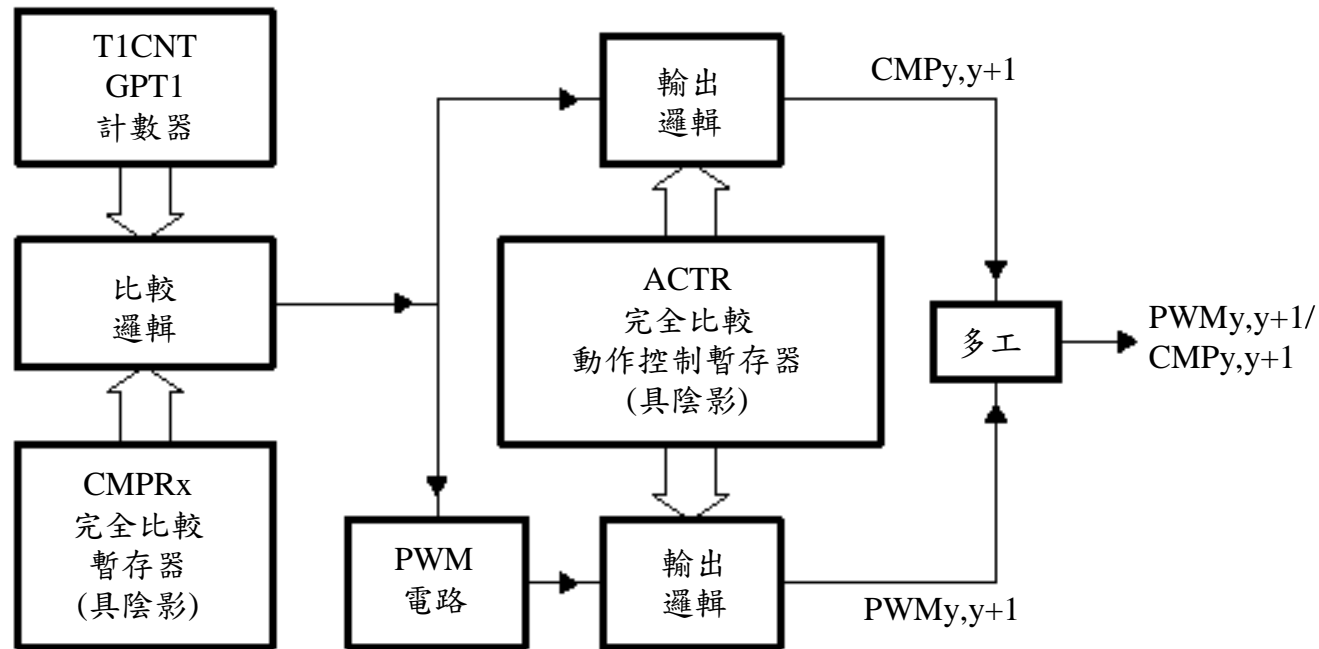
以GP計時器1產生PWM輸出

LDP	#0e8h	; DP -> 0x7400 - 0x747f (EV族群)
SPLK	#000000000000000010b, GPTCON	; 致能計時器1比較器輸出(主動高準位)
SPLK	#0500, T1PR	; 設定GP計時器1週期值(50us;20Khz)
SPLK	#0100, T1CMP	; 設定GP計時器1比較值
SPLK	#0000h, T1CNT	; 設定GP計時器1計數值(初始值)
SPLK	#101010000000000010b, T1CON	; 連續上/下數模式(對稱)和致能比較輸出
SPLK	#1010100001000010b, T1CON	; 致能GP計時器，使用內部時脈
		; 除頻倍率=/1
SPLK	#100, T1CMP	; 工作週期40us= $((500-100)/500)*50us$

本例中，計時器使用內部CPU時脈(若為20MHz)，若除頻倍率設定1，則GP計時器1之計數週期為 μs 。由於T1PR設為500，則PWM週期為 $2 \times 500 \times 1 / 20 \mu s = 50 \mu s$ 或PWM頻率為20KHz。而由於T1CMP設定為100，則工作週期為40 μs 。

比較單元

Full compare unit block diagram



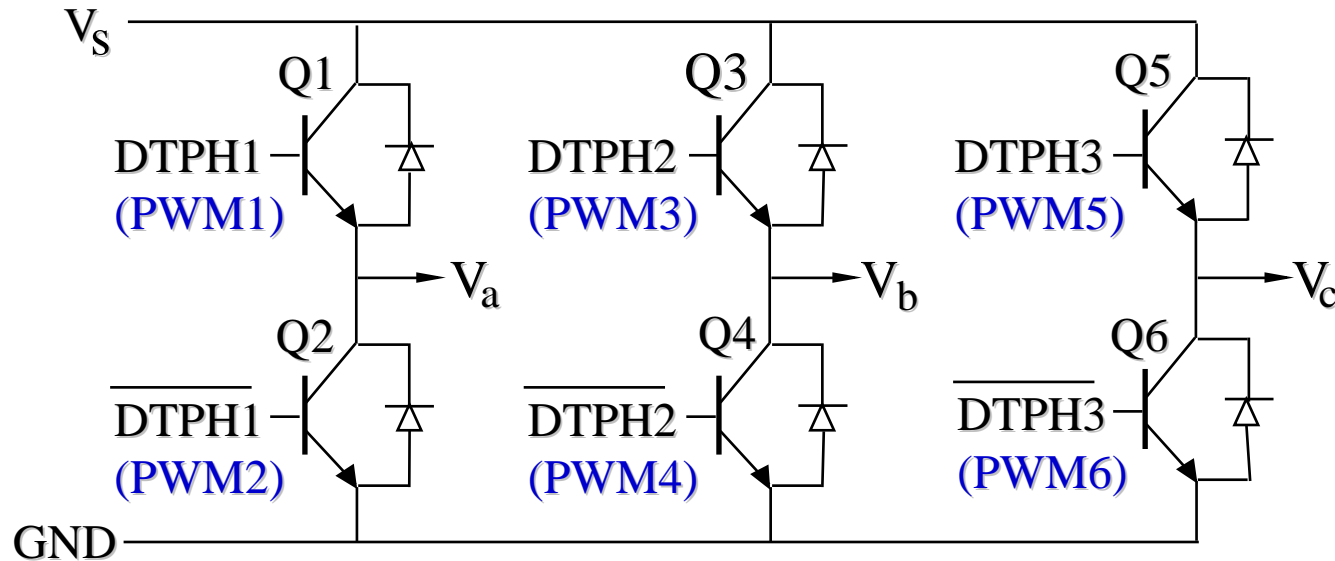
註：F243不具有比較輸出，而僅有PWM輸出功能。

- Three 16-bit compare registers (CMPR_x, x = 1, 2, 3)
- One 16-bit read/write compare control register (COMCON)
- One 16-bit action control register (ACTR)
- Six compare/PWM (3-state) output pins (PWM_y/CMP_y, y = 1, 2, 3, 4, 5, 6)
- Control and interrupt logic
- The time base is provided by GP timer 1

Setup sequence:

- Setting up T1PR
- Setting up ACTR
- Initializing CMPR_x
- Setting up COMCON
- Setting up T1CON

3-Phase Power Converter



CMP1 Set for Full compare U1 (PWM1/CMP1 & PWM2/CMP2)
CMP2 Set for Full compare U2 (PWM3/CMP3 & PWM4/CMP4)
CMP3 Set for Full compare U3 (PWM5/CMP5 & PWM6/CMP6)

Compare control register (COMCON)(1)

15	14	13	12	11	10	9	8
CENABLE	CLD1	CLD0	SVENABLE	ACTRLD1	ACTRLD0	FCOMPOE	SCOMPOE
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0
7	6	5	4	3	2	1	0
SELTMR	SCLD1	SCLD0	SACTRLD1	SACTRLD0	SELCMP3	SELCMP2	SELCMP1
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0

Bit 15 **CENABLE.** Full compare enable

0 = disable 1 = enable

Bits14-13 **CLD1, CLD0.** Full compare register CMPRx reload condition

00 = when T1CNT=0 (underflow) 01 = when T1CNT=0 or T1CNT=T1PR

10 = immediately 11 = Reserved

Bit 12 **SVENABLE.** Space vector PWM mode enable.

0 = disable SVPWM mode 1 = enable SVPWM mode

Bits11-10 **ACTRLD1, ACTRLD0.** Full compare action register ACTR reload condition

00 = when T1CNT=0 (underflow) 01 = when T1CNT=0 or T1CNT=T1PR

10 = immediately 11 = Reserved

Bit 9 **FCOMPOE.** Full compare output enable.

0 = Full compare output pins are in the high-impedance state

1 = Full compare output pins are not in the high-impedance state

Bit 8 **SCOMPOE.** Simple compare output enable.

Compare control register (COMCON)(2)

15	14	13	12	11	10	9	8
CENABLE	CLD1	CLD0	SVENABLE	ACTRLD1	ACTRLD0	FCOMPOE	SCOMPOE
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0
7	6	5	4	3	2	1	0
SELTMR	SCLD1	SCLD0	SACTRLD1	SACTRLD0	SELCMP3	SELCMP2	SELCMP1
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0

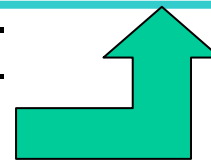
- Bit 7** **SELTMR.** Simple compare time base select
- Bits 6-5** **SCLD1, SCLD0.** Simple compare register SCMPRx reload condition
- Bits 4-3** **SACTRLD1, SACTRLD0.** Simple compare action register SACTR reload condition
- Bit 2** **SELCMP3.** Mode select for PWM6/CMP6 and PWM5/CMP5 (for full compare unit 3)
 0 = Compare mode
 1 = PWM mode
- Bit 1** **SELCMP2.** Mode select for PWM4/CMP4 and PWM3/CMP3 (for full compare unit 2)
 0 = Compare mode
 1 = PWM mode
- Bit 0** **SELCMP1.** Mode select for PWM2/CMP2 and PWM1/CMP1 (for full compare unit 1)
 0 = Compare mode
 1 = PWM mode

Full compare action control register (ACTR)

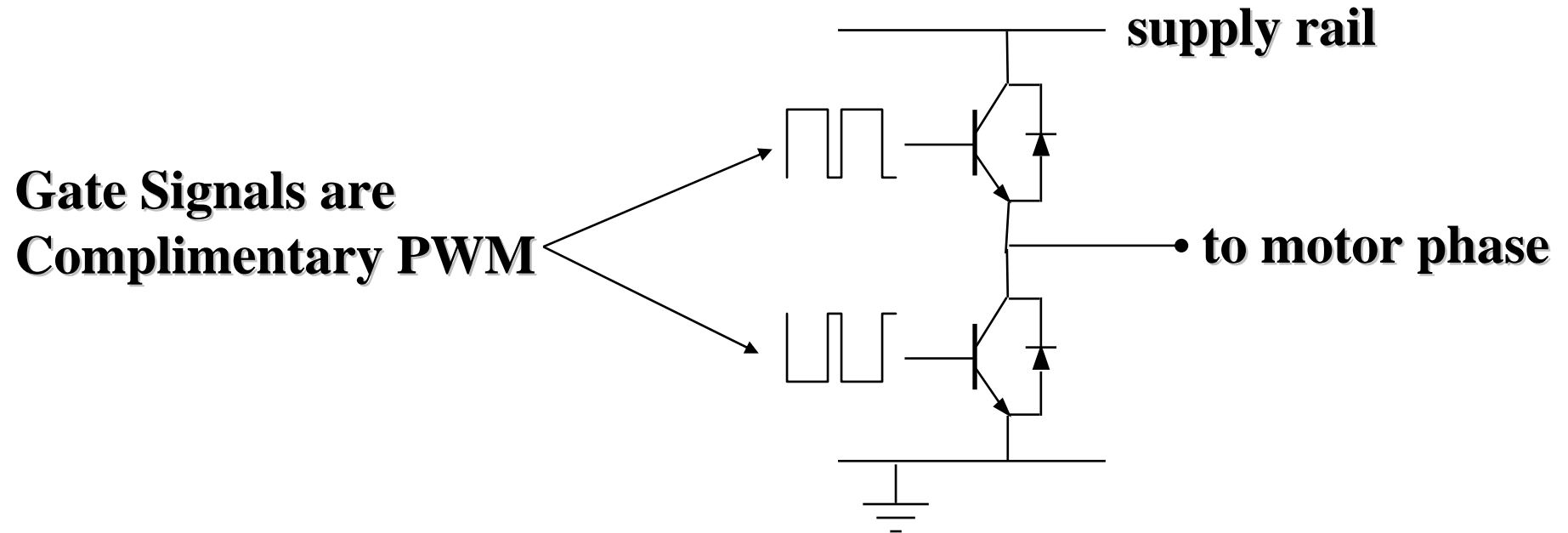
15	14	13	12	11	10	9	8
SVRDIR	D2	D1	D0	CMP6ACT1	CMP6ACT0	CMP5ACT1	CMP5ACT0
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0
7	6	5	4	3	2	1	0
CMP4ACT1	CMP4ACT0	CMP3ACT1	CMP3ACT0	CMP2ACT1	CMP2ACT0	CMP1ACT1	CMP1ACT0
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0

- Bit 15** **SVRDIR.** Space vector PWM rotation direction. 0 = CCW, 1 = CW
- Bits 14-13** **D2-D0.** Basic space vector bits.
- Bits 11-10** **CMP6ACT1, CMP6ACT0.** Action on full compare output pin 6, PWM6/CMP6
- Bits 9-8** **CMP5ACT1, CMP5ACT0.** Action on full compare output pin 5, PWM5/CMP5
- Bits 7-6** **CMP4ACT1, CMP4ACT0.** Action on full compare output pin 4, PWM4/CMP4
- Bits 5-4** **CMP3ACT1, CMP3ACT0.** Action on full compare output pin 3, PWM3/CMP3
- Bits 3-2** **CMP2ACT1, CMP2ACT0.** Action on full compare output pin 2, PWM2/CMP2
- Bits 1-0** **CMP1ACT1, CMP1ACT0.** Action on full compare output pin 1, PWM1/CMP1

Bits 11-10	Compare Mode	PWM Mode
01	Reset	Active low
10	Set	Active high
11	Toggle	Forced high
00	Hold	Forced low



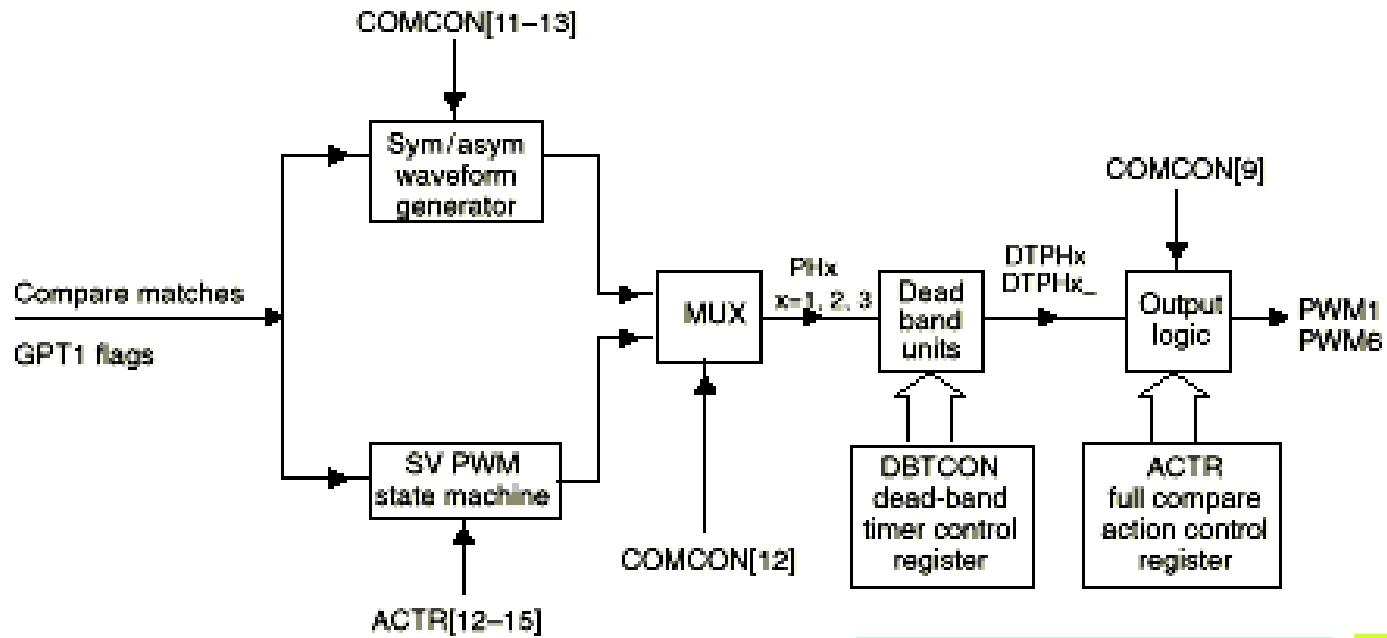
Dead-band



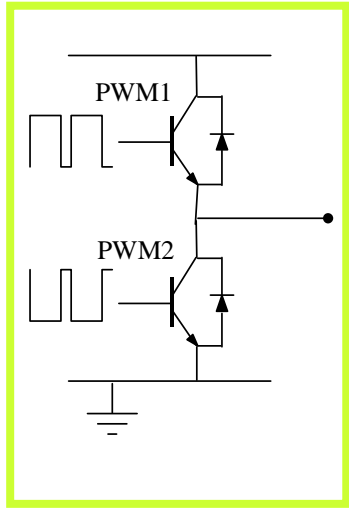
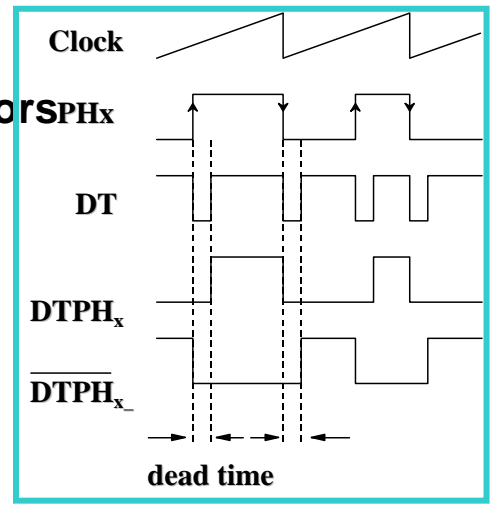
- ◆ **Transistor gates turn on faster than they shut off**
- ◆ **Short circuit if both gates are on at same time!**

Data derived from AmRoad Co.

PWM Circuits Associated with Full Compare and Dead-band

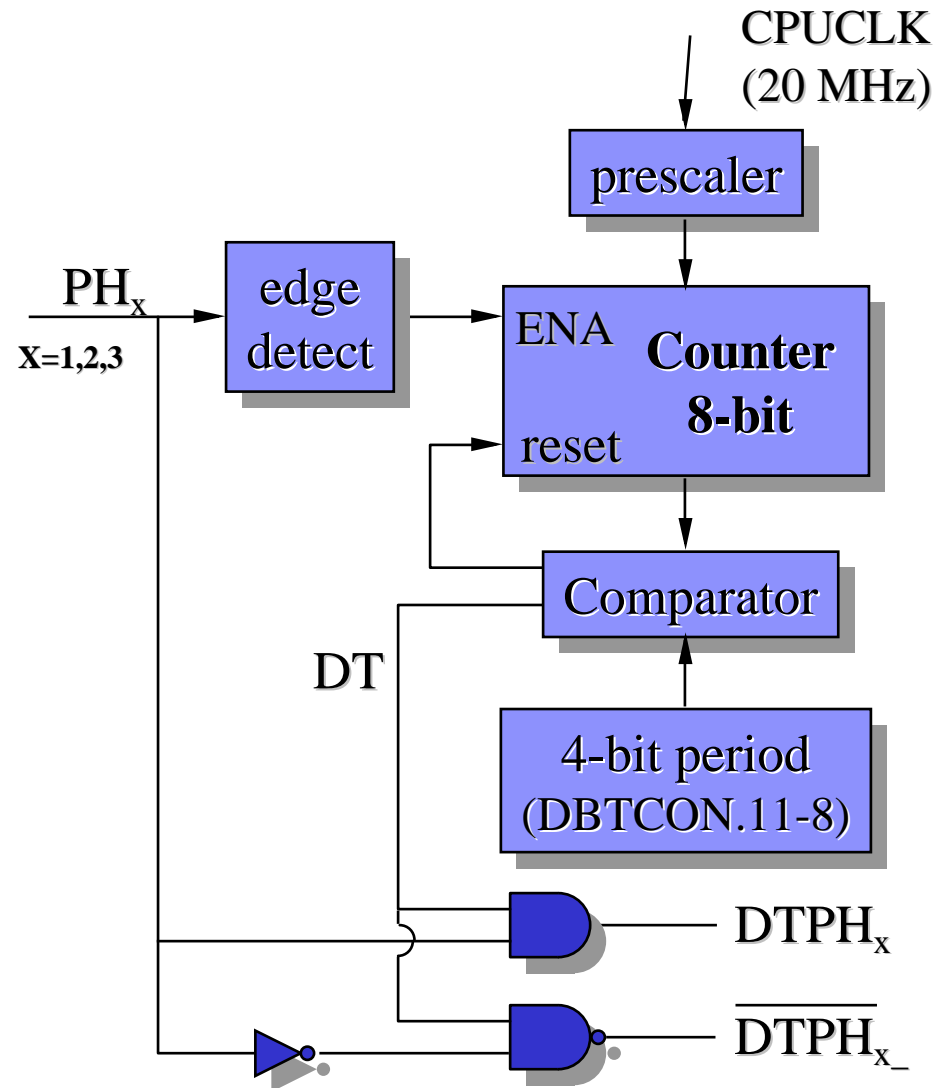
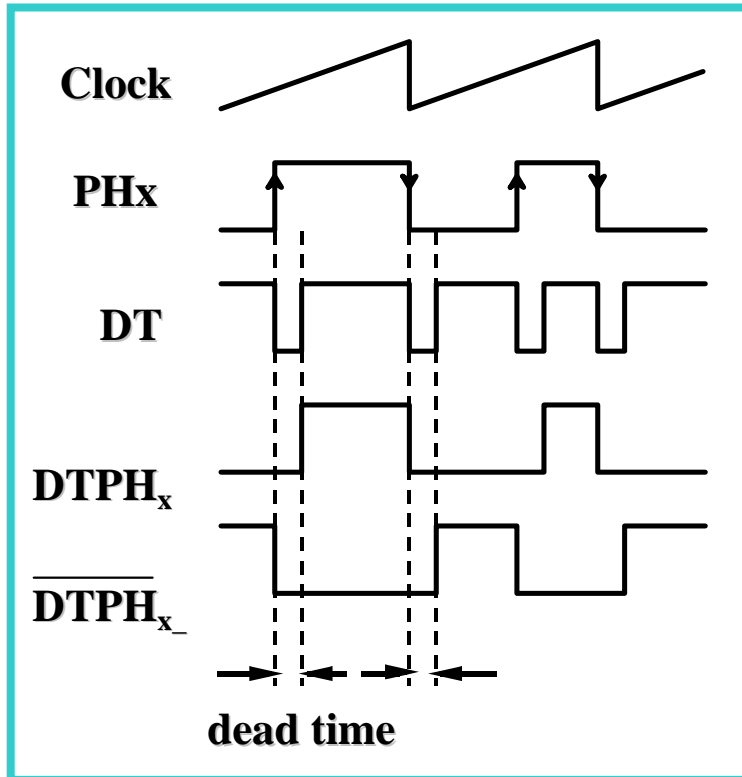


- Asymmetric/symmetric waveform generators
- Programmable dead-band unit (DBU)
- Output logic
- Space vector (SV) PWM state machine



Programmable Dead-Band Unit Block Diagram

- ❑ One 16-bit dead-band control register
DBTCON(R/W)
- ❑ One input clock prescaler: $x/1, x/2, x/4, x/8$
- ❑ CPU clock input
- ❑ Three 8-bit down counting timers
- ❑ Control logic

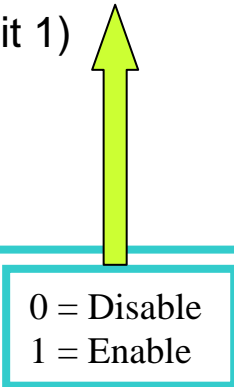


Data derived from AmRoad Co.

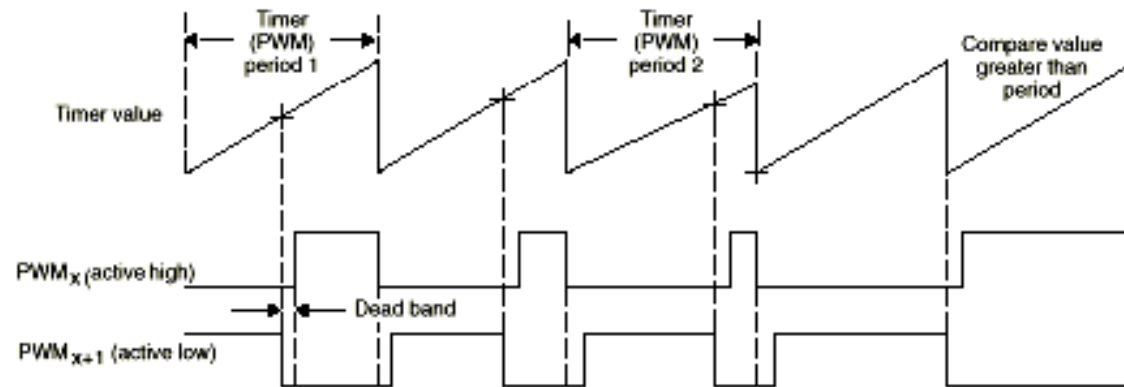
Dead-band timer control register (DBTCON)

15	14	13	12	11	10	9	8
DBT7	DBT6	DBT5	DBT4	DBT3	DBT2	DBT1	DBT0
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0
7	6	5	4	3	2-0		
EDBT3	EDBT2	EDBT1	DBTPS1	DBTPS0	Reserved		
RW-0	RW-0	RW-0	RW-0	RW-0			

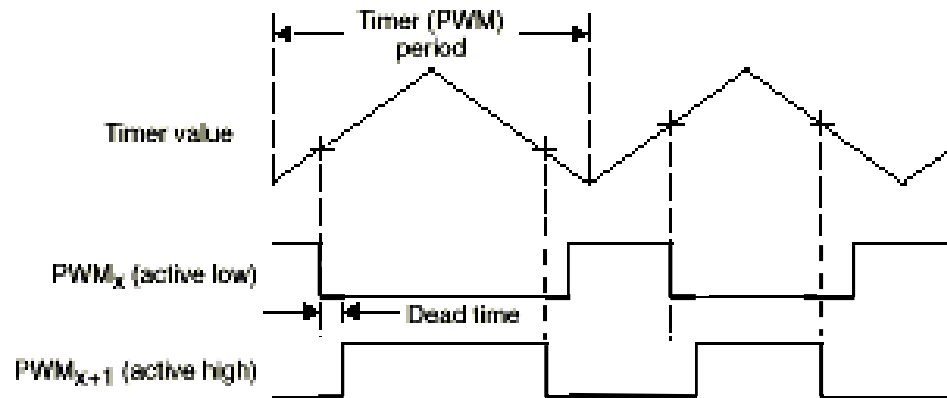
- Bits 15-8** **DBT7 (MSB)-BT0 (LSB).** Dead-band timer period.
- Bit 7** **EDBT3.** Dead-band timer 3 enable (for pins PWM5/CMP5 and PWM6/CMP6 of full compare unit 3)
- Bit 6** **EDBT2.** Dead-band timer 2 enable (for pins PWM3/CMP3 and PWM4/CMP4 of full compare unit 2)
- Bit 5** **EDBT1.** Dead-band timer 1 enable (for pins PWM1/CMP1 and PWM2/CMP2 of full compare unit 1)
- Bits 4-3** **DBTPS1, DBTPS0.** Dead-band timer prescaler
 00 = x/1 01 = x/2 10 = x/4 11 = x/8
- Bits 2-0** **Reserved.**



Asymmetric and symmetric PWM waveform with dead ba



Asymmetric PWM waveform



Symmetric PWM waveform

Register Setup for PWM generation

- 1) Set up and load ACTR**
- 2) Set up and load DBTCON, if dead band is to be used**
- 3) Initialize CMPRx**
- 4) Set up and load COMCON without enabling compare operation**
- 5) Set up and load COMCON to enable compare operation**
- 6) Set up and load T1CON to start the operation**
- 7) Rewrite CMPRx with newly determined values**

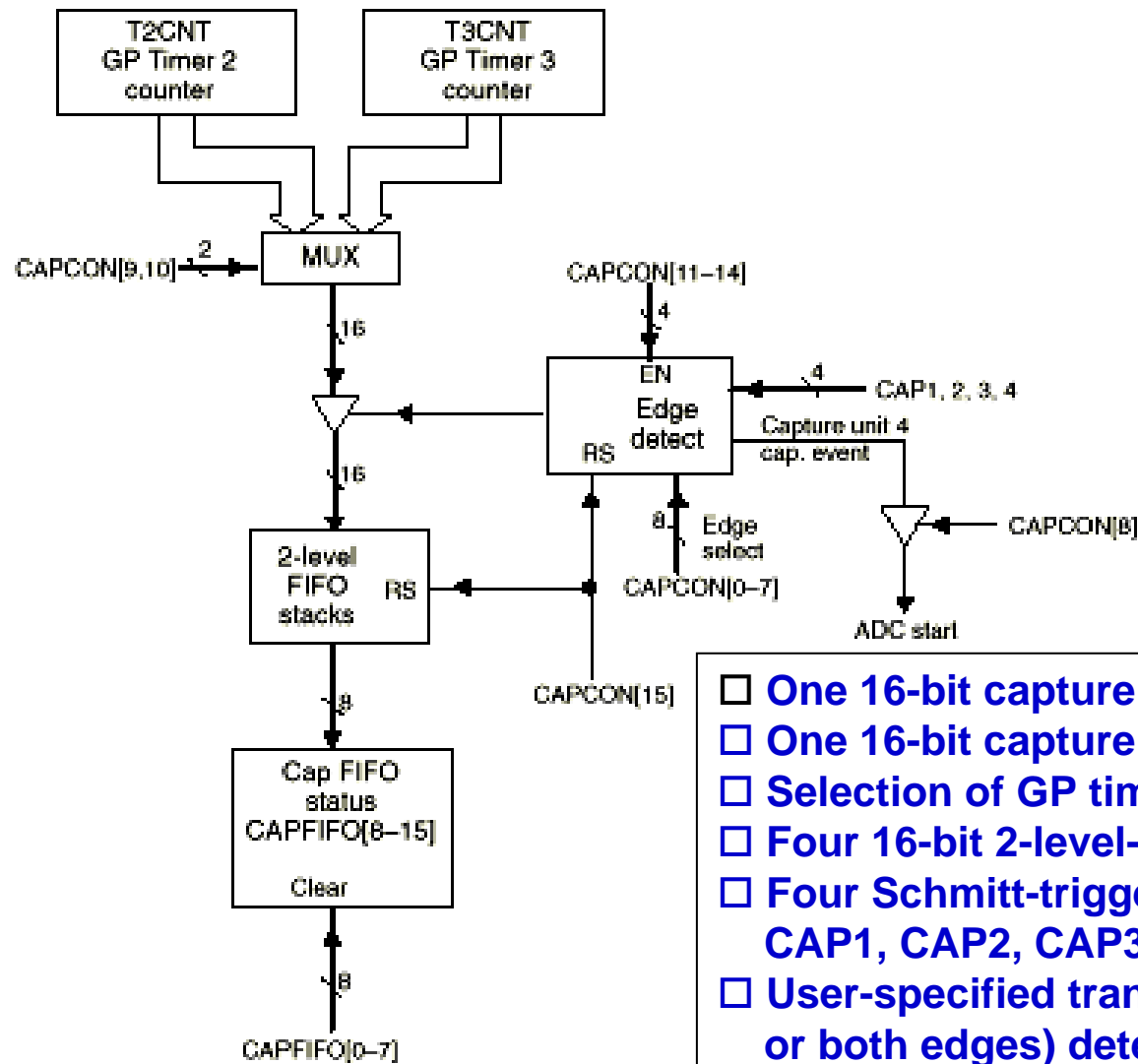
Parameters setting for symmetric PWM waveform generat

```
LDP      #0e8h                ; DP -> 0x7400 - 0x747f (Event Manager)
SPLK     #0000011001100110b, ACTR    ; PWM1,3,5/CMP1,3,5 : active high (10)
                                                ; PWM2,4,6/CMP2,4,6 : active low (01)
SPLK     #0010000011101000b, DBTCON ; dead time =3.2us
SPLK     #0100h, CMP1                ; set FcompareU1 (PWM1/CMP1 & PWM2/CMP2)
SPLK     #0100h, CMP2                ; set FcompareU2 (PWM3/CMP3 & PWM4/CMP4)
SPLK     #0100h, CMP3                ; set FcompareU3 (PWM5/CMP5 & PWM6/CMP6)
SPLK     #0000001000000111b, COMCON ;
SPLK     #1000001000000111b, COMCON ; PWM mode, Full compare output enable
SPLK     #0000000000000000b, GPTCON ;
SPLK     #0271h, T1PR                ; set GPTimer1 period = 160us (PWM : 16kHz)
SPLK     #0010h, T1CMP               ; set GPTimer1 compare
SPLK     #0000h, T1CNT               ; set GPTimer1 count
SPLK     #1010100000000000b, T1CON   ; continuous up-down counting mode (Sym. Wave)
SPLK     #1010100001000000b, T1CON   ; enable timer 1

; Renew CMP1,2,3 value
SPLK     #200h, CMP1
SPLK     #200h, CMP2
SPLK     #200h, CMP3
```

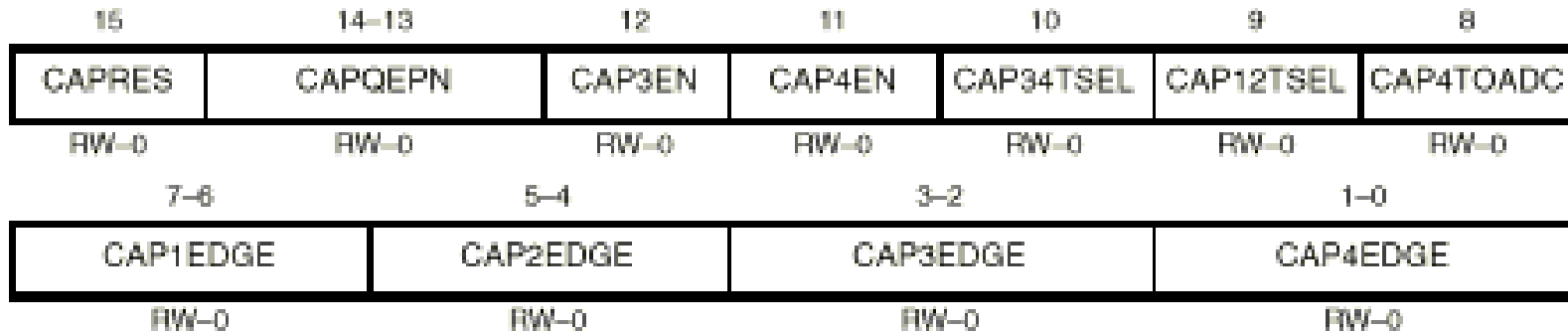
Capture Unit

Capture unit



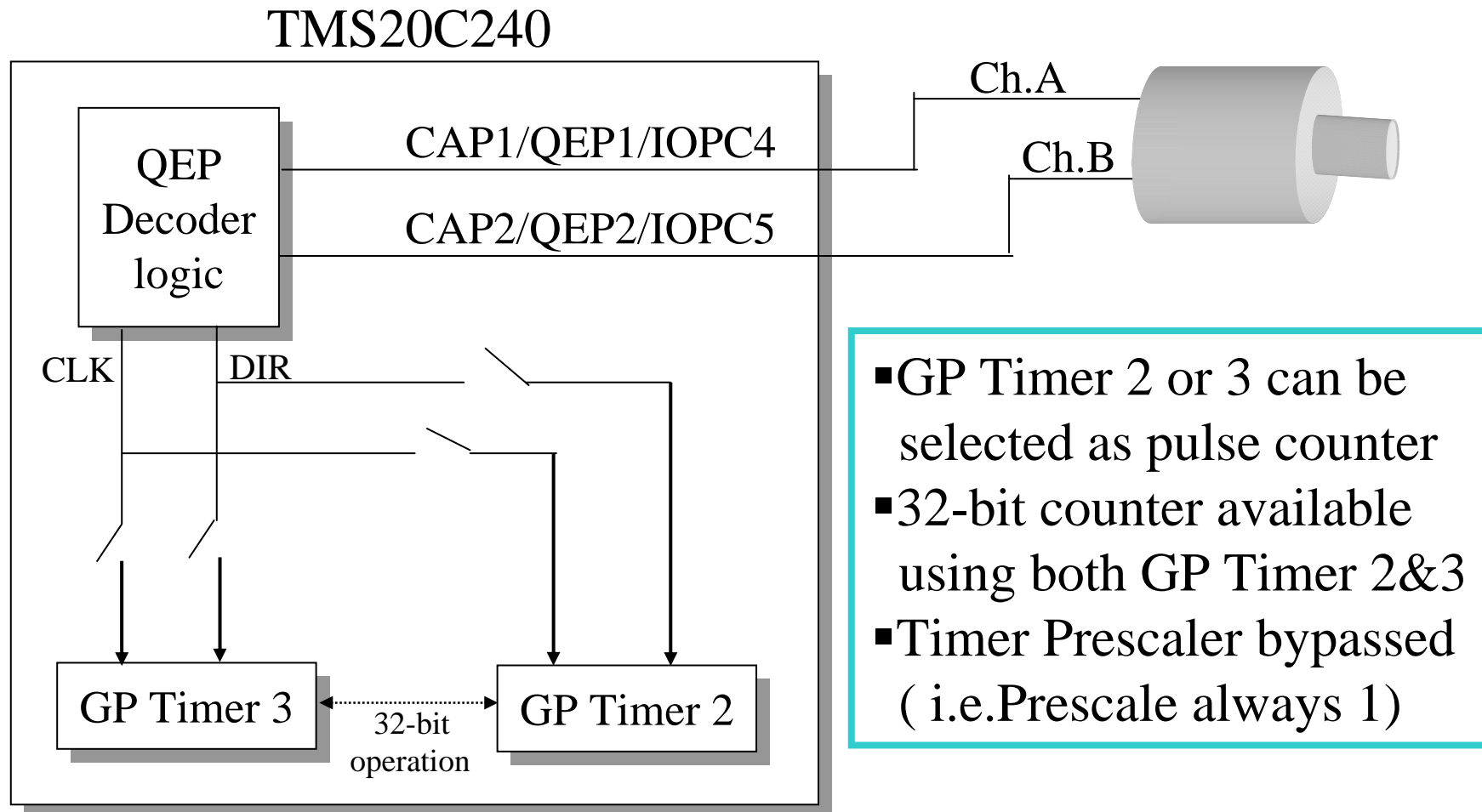
- One 16-bit capture control register, CAPCON
- One 16-bit capture FIFO status register, CAPFIFO
- Selection of GP timer 2 or 3 as the time base
- Four 16-bit 2-level-deep FIFO stacks
- Four Schmitt-triggered capture input pins CAP1, CAP2, CAP3, and CAP4 (only F240)
- User-specified transition (rising edge, falling edge, or both edges) detection
- Four maskable flags, one for each capture unit

Capture control register (CAPCON)



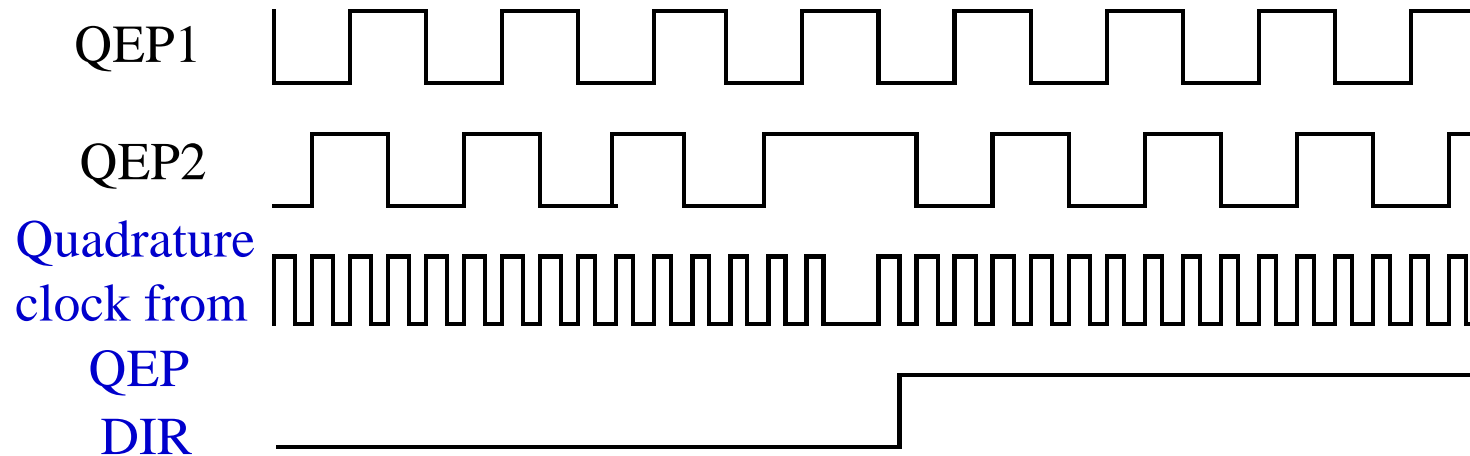
Bit 15 CAPRES.	Capture reset
Bits 14-13 CAPQEPN.	Capture units 1 and 2 and QEP circuit control
Bit 12 CAP3EN.	Capture unit 3 control
Bit 11 CAP4EN.	Capture unit 4 control
Bit 10 CAP34TSEL.	GP timer selection for capture units 3 and 4
Bit 9 CAP12TSEL.	GP timer selection for capture units 1 and 2
Bit 8 CAP4TOADC.	Capture unit 4 event starts ADC
Bits 7-6 CAP1EDGE.	Edge detection control for capture unit 1
Bits 5-4 CAP2EDGE.	Edge detection control for capture unit 2
Bits 3-2 CAP3EDGE.	Edge detection control for capture unit 3
Bits 1-0 CAP4EDGE.	Edge detection control for capture unit 4

Incremental Encoder Connections - 'C240



Data derived from AmRoad Co.

QEP Circuit



1. The selected **timer counts up** if **QEP1** input is the leading sequence.
The selected **timer counts down** if **QEP2** input is the leading sequence.
2. The **frequency of the QEP** generated clock to the GP timer is **four times** that of each **input sequence**.

Example program for QEP

```
LDP      #0e1h                ; DP -> 0x7090 - 0x70ff
                                ; turn on QEP1 (bit 4 = 1) and QEP2 (bit 5 = 1) pins
SPLK     #0030h, OCRB          ; enable the pins
LDP      #0e8h                ; DP -> 0x7400 - 0x747f (Event Manager)
SPLK     #000FFh, T3PR         ; set GPTimer3 period
SPLK     #00000h, T3CNT        ; set GPTimer3 count
SPLK     #1001100001110000b, T3CON ; directional up-down counting mode
                                ; Clock source select: QEP
SPLK     #0110001000000000b, CAPCON
SPLK     #1110001000000000b, CAPCON ; CAP1-2 disabled, QEP enabled
                                ; select GPTimer3 as time base

LDP      #0e8h
LACC     T3CNT                 ; Read QEP value
LDP      #x
SACL     x                     ; Store to x
```