

應用於GSM/WCDMA之多重模式 積分三角調變器設計

汪輝明 & 黃啟原
南台科技大學電機工程學系
2009/05/22

大綱

- q 摘要
- q 簡介
- q SDM基本原理與架構選擇
 - Ø 超取樣(Oversampling)
 - Ø 雜訊移頻(Noise shaping)
 - Ø 架構討論與選擇
- q 電路設計
- q 模擬結果
- q 結論

摘要

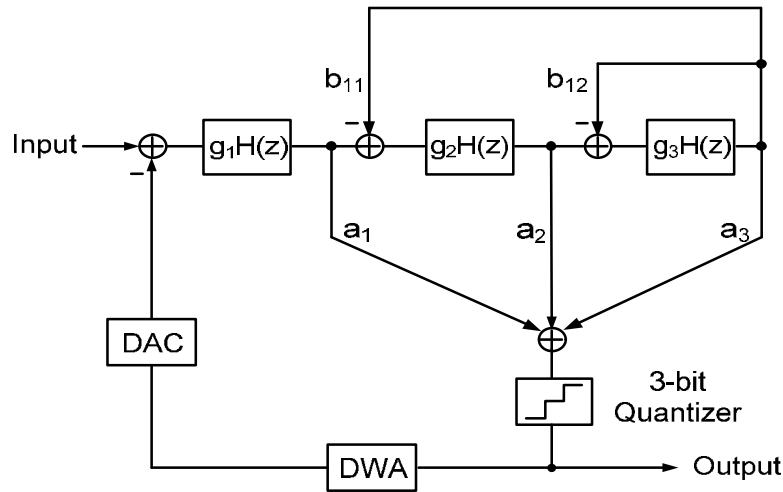
- q 採用單級3階3-bit前饋式積分三角調變器 (single-stage 3rd-order 3-bit feedforward sigma-delta modulator, SDM)
- q 採用TSMC 0.18 μ m CMOS製程，在GSM/WCDMA模式下
 - Ø 取樣頻率 (sampling frequency, f_s) 為13M/46.08MHz
 - Ø 超取樣率(oversampling ration, OSR)為65/12
 - Ø 訊號雜訊失真比(signal to noise+distortion ratio, SNDR)為87.5/70.0dB
 - Ø 消耗功率為12.2/15.4mW

簡介

- q 有數個SDM架構可應用於多重模式下
 - Ø 單級高階(single-stage high-order)結合1位元(single-bit)或多位元量化器(multi-bit)的架構
 - Ø 低階串接(low-order cascade)或高階串接(high-order cascade)結合1位元或多位元量化器的架構
 - w 高階可得到高動態範圍(dynamic range, DR)
 - 缺點：增加電路複雜度與穩定性問題
 - w 多位元量化器，每增加一位元，SNR可提昇約6dB
 - 缺點：在回授DAC資料處理時會發生線性失真
 - § 動態元件匹配(dynamic element matching, DEM)
 - w 串接方式形成之高階架構可得到高DR
 - 缺點：需較高的電路規格及電容匹配度要求

簡介(續)

- q 在解析度、穩定度與電路複雜度下取捨，本文採用單級3階3-bit前饋式積分三角調變器
- q 下圖為本文所提出的SDM系統方塊圖



2009/05/22

5

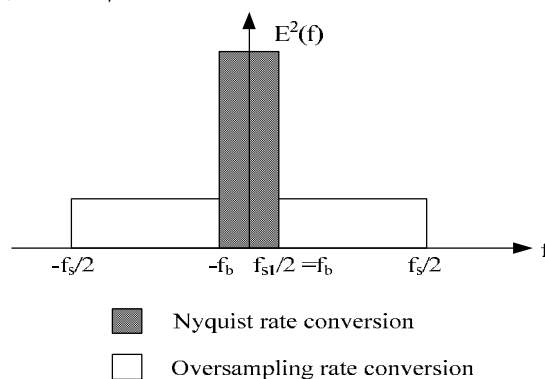
汪輝明 & 黃啟原

Oversampling

- q 當轉換器以數倍(8~512倍)的奈奎氏頻率(Nyquist frequency, f_N)進行取樣 → 超取樣轉換器(oversampling converter)
- q 在超取樣轉換器中，取樣頻率(sampling frequency, f_s)與最小的取樣頻率 $2f_b$ (f_b 為信號頻寬)的關係定義為OSR：

$$OSR = \frac{f_s}{2f_b}$$

- q 目的是降低降低取樣電路的量化雜訊(quantization noise)，使信號頻寬內的雜訊降低



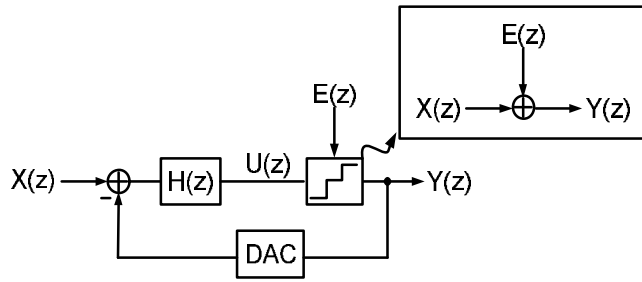
2009/05/22

6

汪輝明 & 黃啟原

Noise shaping

q noise shaping可把信號頻寬內的雜訊移到高頻



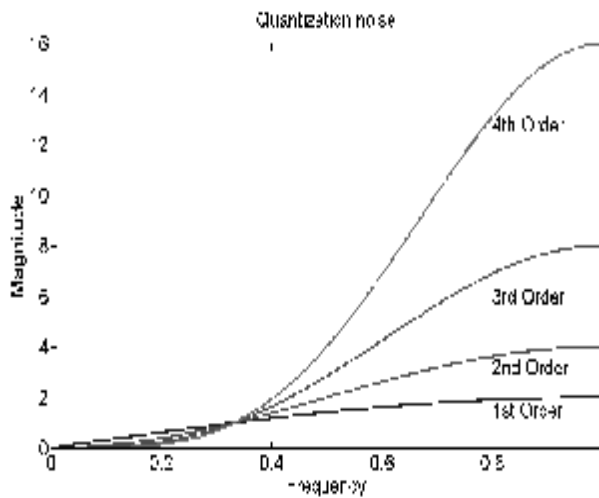
$$Y(z) = \frac{H(z)}{1+H(z)} X(z) + \frac{1}{1+H(z)} E(z) = STF(z)X(z) + NTF(z)E(z)$$

STF(z)為訊號轉移函數(signal transfer function)

NTF(z)為雜訊轉移函數(noise transfer function)

Noise shaping(續)

q 下圖為不同階數的SDM雜訊移頻效果



架構討論與選擇

- q oversampling & noise shaping
 - Ø 較高的DR、高精確且高線性(16~20bit)轉換
- q 在高DR之SDM設計
 - Ø 較高的 f_s
 - Ø 高階之濾波器架構
 - Ø 增加量化器位元數
- q 單級高階的架構使用於多重模式SDM
 - Ø 改變其 f_s
 - Ø 使用不同之NTF於不同模式之SDM
- q multi-bit：降低穩定度的問題，但卻會造成內部DAC不匹配
 - Ø 可採用DEM的技術來降低因不匹配所造成的影響

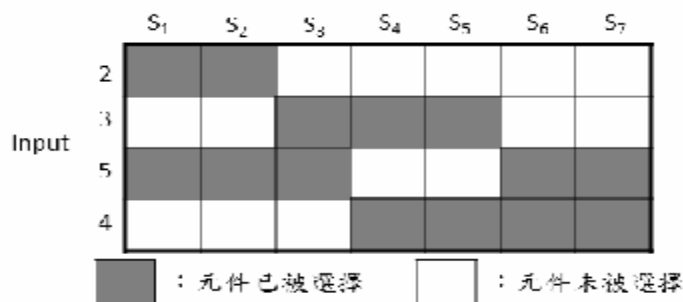
2009/05/22

9

汪輝明 & 黃啟原

架構討論與選擇(續)

- q data weighted averaging (DWA)



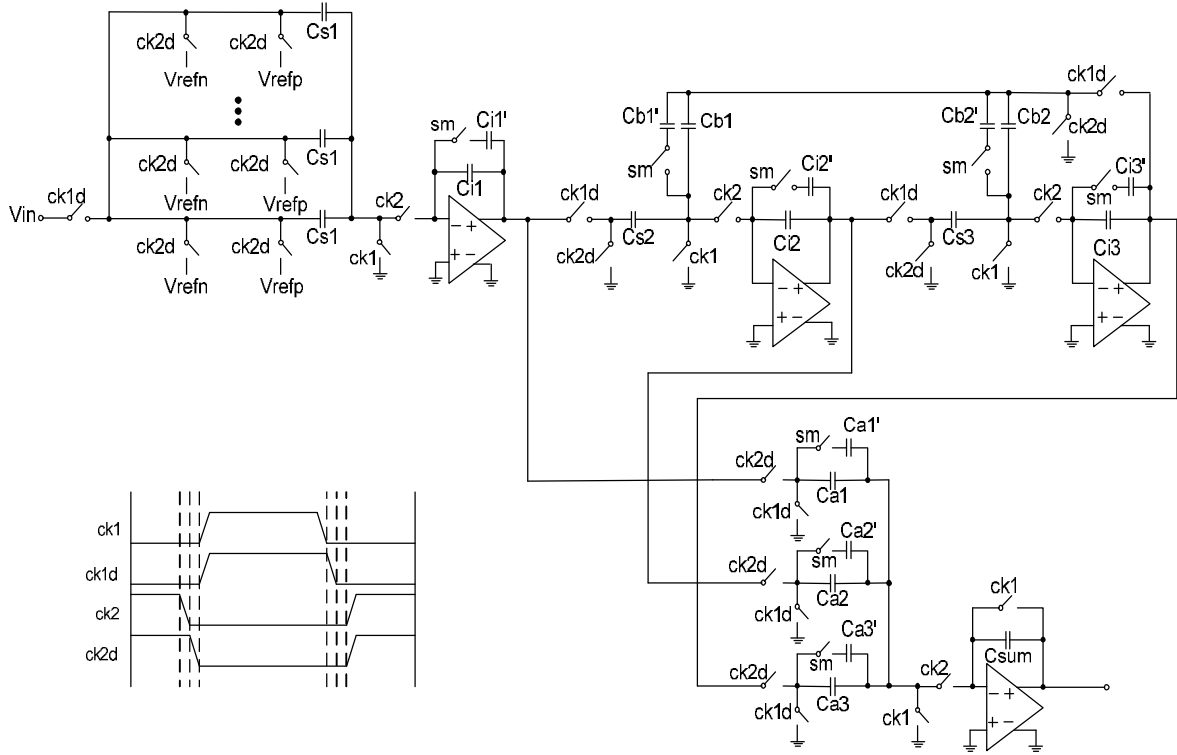
- q 採用單級高階的架構，並使用多位元量化器，使SDM在較低的OSR下，仍可達到高解析度的要求

2009/05/22

10

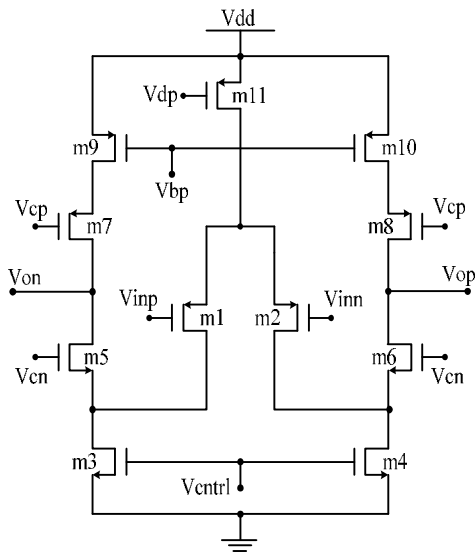
汪輝明 & 黃啟原

電路設計



電路設計(續)

q 本文所使用的放大器，採用全差動摺疊-疊接(fully folded-cascode)，並結合SC共模回授(common-mode feedback)

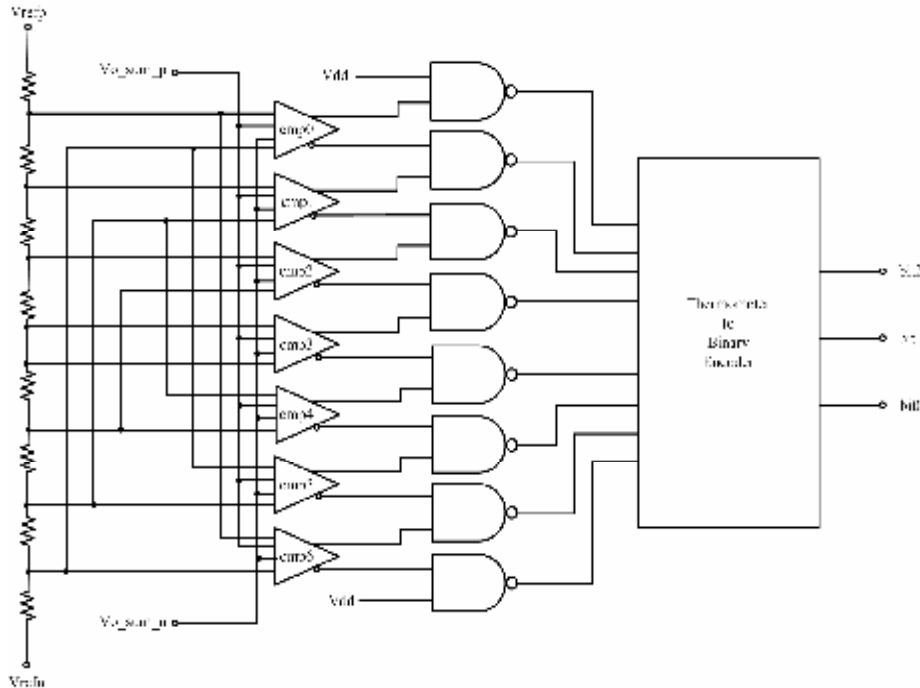


Specification	Value
DC gain	66 dB
unit-gain BW	250 MHz
phase margin	75 degree
output swing	2.1 (differential)
slew rate	150 V/us
power consumption	1.8 mW

電路設計(續)

q clock generator：產生non-overlap 之clock，供SDM 使用

q 3-bit ADC：使用flash 架構之ADC

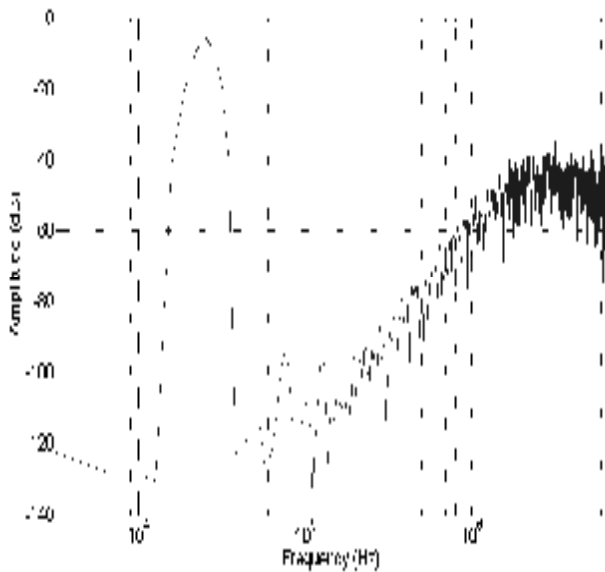


2009/05/22

13

汪輝明 & 黃啟原

模擬結果



q GSM mode

Ø f_s 為 13MHz

Ø OSR 為 65

Ø 輸入大小為 -6dB

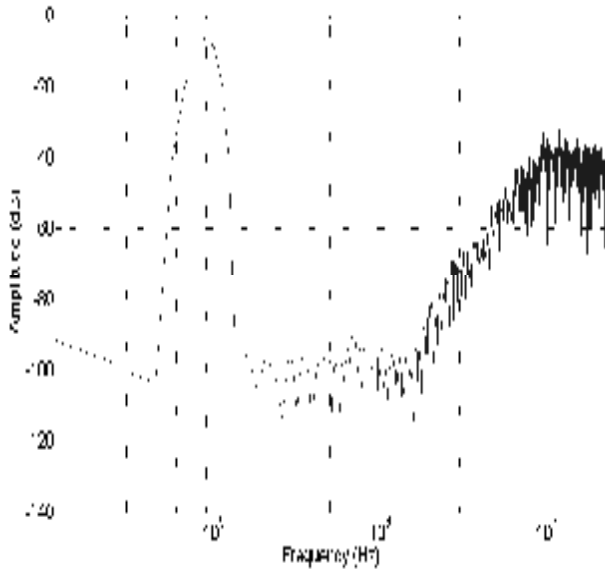
Ø SNDR=87.5dB

2009/05/22

14

汪輝明 & 黃啟原

模擬結果(續)



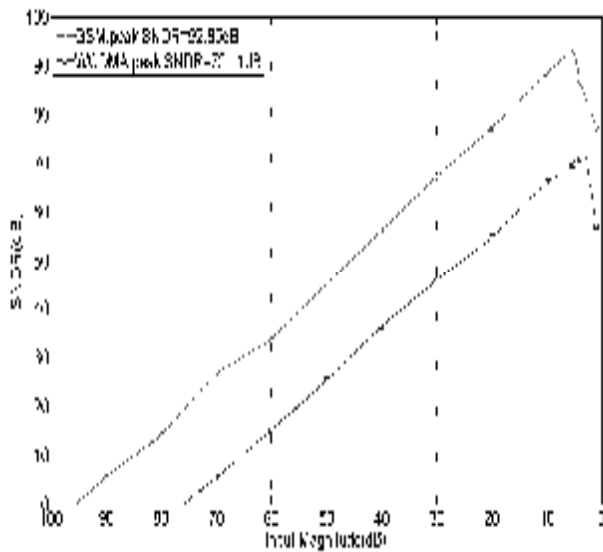
- q WCDMA mode
 - Ø f_s 為 46.08 MHz
 - Ø OSR 為 12
 - Ø 輸入大小 為 -6 dB
 - Ø SNDR = 70.0 dB

2009/05/22

15

汪輝明 & 黃啟原

模擬結果(續)



- q GSM mode
 - Ø DR 約 為 90 dB
 - Ø 輸入 為 -5 dB, peak SNDR 為 92.85 dB
- q WCDMA mode
 - Ø DR 約 為 72 dB
 - Ø 輸入 為 -3 dB, peak SNDR 為 72.11 dB

2009/05/22

16

汪輝明 & 黃啟原

結論

- q 採用單級3階3-bit前饋式積分三角調變器應用在多重模式
- q 採用TSMC 0.18 μ m CMOS製程，在GSM/WCDMA模式下
 - Ø $f_s=13\text{M}/46.08\text{MHz}$ ，OSR=65/12
 - Ø SNDR=87.5/70.0dB，DR=90/72dB
 - Ø 消耗功率為12.2/15.4mW