

第二次平時作業

班級：資工四甲

學號：4A1G0056

姓名：簡明旋

指導老師：陳福坤

程式碼：

BITWISE.V

```
module BitWise(input_bus , even, odd, all_one, output_bus);
input    [7:0] input_bus;
output   even, odd, all_one;
output   [7:0] output_bus;
wire     even, odd, all_one;
wire     [7:0] output_bus;

    assign  odd = ^ input_bus; // 奇位
    assign  even = ~^ input_bus; // 偶位
    assign  all_one = & input_bus; // 全1
    assign  output_bus = {even, input_bus[6:0]}; // 輸出

endmodule
```

BITWISE.TF

```
`timescale 1ns/1ns

module t;

parameter IMMEDIATE = 2'b00, DIRECT = 2'b01;
parameter SUBA_imm = 8'h80, SUBA_dir = 8'h90,
          SUBB_imm = 8'hc0, SUBB_dir = 8'hd0;

reg    [7:0] input_bus;
wire   even, odd, all_one;
wire   [7:0] output_bus;

    BitWise m (.input_bus(input_bus), .even(even), .odd(odd), .all_one(all_one), .output_bus(output_bus));

    // Enter fixture code here
    initial
    begin
        input_bus = 8'b01111111;
        #50
        input_bus = 8'b00101010;
        #50
        input_bus = 8'b00100111;
        #50
        input_bus = 8'b01111111;
    end

endmodule // t
```

run.do

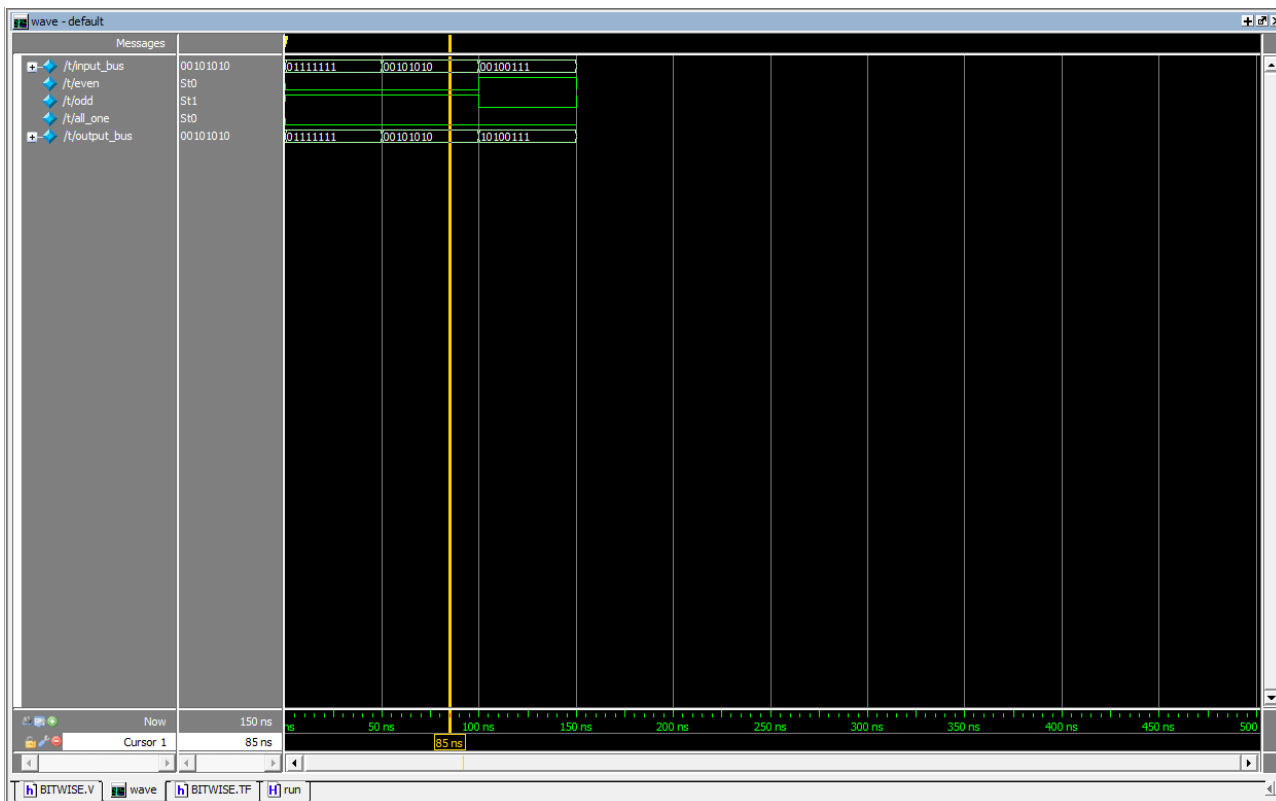
```
quit -sim
--cd D:/Verilog/CH04/BITWISE
--do run.do

vlib work
vmap work work

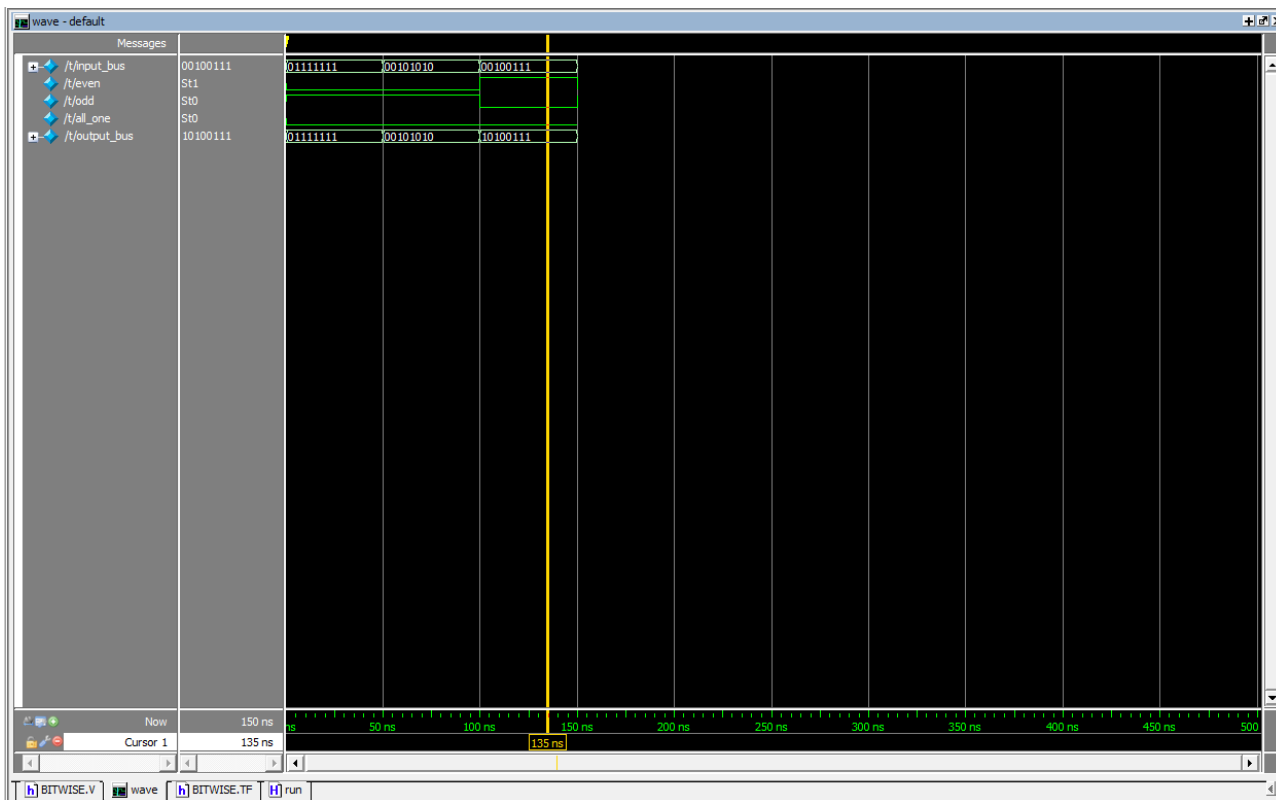
vlog BITWISE.v
```

```
vlog BITWISE.tf  
vsim t  
  
add wave *  
--do wave_BITWISE.do  
  
run -all
```

執行結果：



上圖，黃色指標，輸入資料以為奇同位所以調整位元為 0



上圖，黃色指標，輸入資料因為非奇同位所以調整位元為 1 使其資料為奇同位

心得：

首先將 input_bus 的第 8 位元改為自行配置，更改的奇同位檢查位元，使整個 input_bus 的 8 位元訊號資料根據後面 7bit 及最後 1 個 bit 調整為永遠為奇同位。