

題目：高電子遷移率場效電晶體
(HEMT)之介電層

班級：碩研電子一甲

姓名：高書賢

學號：MA430113

一. 前言

半導體元件的發展使得人們生活更加便利,幾乎所有的電器產品都必須使用半導體材料。然而隨著需求越來越多,矽材料在高頻及高功率元件的發展已經因為材料本身的特性而受到限制。以電力傳輸系統應用為例,發電廠生產之電力需要電塔及變電箱分流才能給予使用者,但是如果使用矽材料製作電路系統則會造成不必要的功率損耗。以無線傳輸為例,因應高資料傳輸需求之趨勢,使得 4G LTE 無線網路將面臨更大壓力,雖能夠利用小型蜂巢基地台(small cell base stations,BTS)及載波聚合(carrier aggregation)等技術來縮小高流量的頻寬差距,但是頻寬需求日漸增加,只能尋求高頻材料解套。雖然矽材料已發展許久且技術純熟,在均一性及製程穩定度上具有非常傑出的表現,但是因應未來高頻及高功率之使用需求,化合物半導體材料更具有發展優勢,以氮化鎵為例:

1. 寬能隙的物理特性,功率耗損低,對於高頻電路系統與電力傳輸系統的應用,更能節能減碳。
2. 可縮小封裝後體積,降低成本。
3. 耐熱效果佳,無須溫度監控與散熱配備,仍可讓元件效能率維持在 85%。
4. 氮化鎵高溫與高濕耐受度好,元件可應用到太陽能電池、車用引擎室電路控制等等惡劣環境。

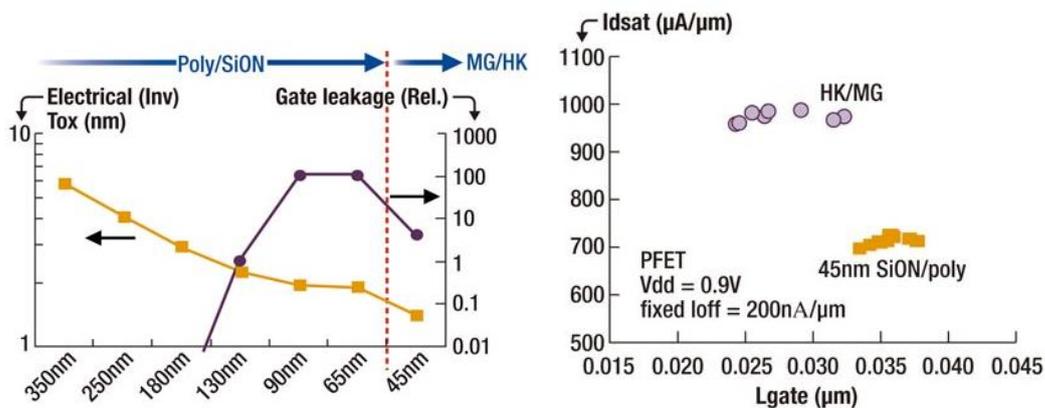
這些原因使氮化鎵系列材料具有廣大發展的願景,而氮化鎵材料想憑藉著材料特性之優勢取代矽基材料,則必須著重於金氧半電容(MOSC)、金氧半場效電晶體(MOSFET)、金氧半異質接面電晶體(MOSHFET)等半導體元件之開發。而氮化鎵材料發展之金氧半元件想超越矽基材料,其中的氧化層占有很重要的地位。

為了說明氧化層的重要性,以氮化鎵 MOSHFET 與 HFET 為例,HFET 的 V_{gs} 無法操作太高,是因為會有漏電流穿過閘極(蕭特基位障)之疑慮,當元件之操作溫度增加由於增強熱離子放射以越過蕭特基位障,閘極漏電流效應將變成重大之問題。而藉由於閘極電極之下成長一層 Al_2O_3 不僅能有效降低閘極漏電流也能夠使 I_{ds} 操作的更高,進而發揮氮化鎵高功率的特性。理所當然氧化層品質好壞對於所有金氧半結構之元件的特性具有巨大影響。

二. 研究動機

自 MOS 元件問世以來，閘極氧化層材料大多使用 SiO_2 。一直到 130 奈米製程時，等效氧化層厚度 (EOT) 皆是以每世代 0.7 倍的速率向下微縮。然而，當進展到 90 與 65 奈米製程時，由於體積的縮小使的氧化層厚度已變得太薄，造成嚴重的漏電問題，使得閘極氧化層向下微縮的速率變緩。

因此發展出導入高介電係數介電層與金屬閘極技術，不但使得電晶體能繼續微縮，而且由於閘極漏電流的降低，使得待機功率亦隨之降低。以 Intel 的技術發展藍圖 (圖一) 為例，Intel 在 45 奈米製程導入高介電係數介電層與金屬閘極技術，不但使得閘極氧化層能繼續微縮，而且使得閘極漏電流降低 10 倍以上。



圖(一) Intel 的技術藍圖。

圖(二) 閘極長度與漏電流

High-k 意指高介電常數，是用以衡量一種材料能儲存多少電荷。空氣是此一常數的參考點，其 k 值為 1。近年來流行的 High-k 材料，如 HfO_2 、 ZrO_2 及 TiO_2 ，具有很高的 K 值和介電常數，k 值越高，電晶體之電容值也越高，使得電晶體能有效改善閘極漏電流的情形。

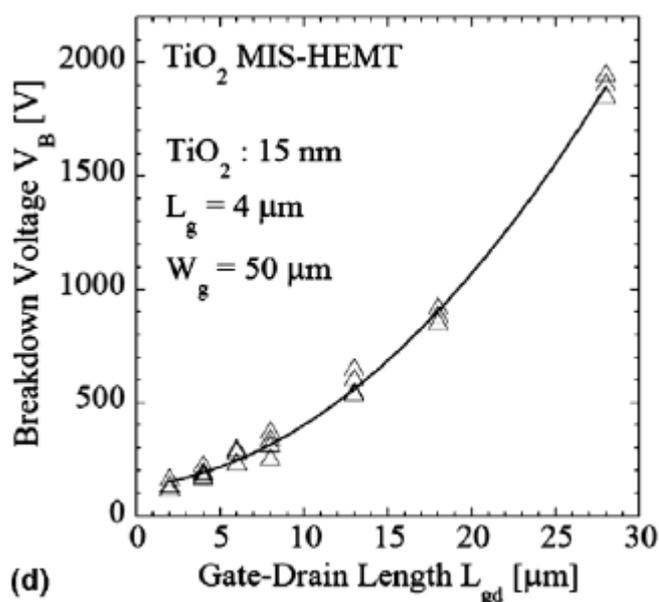
從元件的物理觀點來看，導入高介電係數介電層與金屬閘極之所以可以讓效能提升，主要來自於兩個層面。由長通道來看；導入高介電係數介電層與金屬閘極後，由於高介電係數介電層的介電係數 (ϵ_0) 比 SiO_2 的介電係數高，而且使用金屬閘極能導致 T_{inv} 變小 (抑制多晶矽的空乏效應)，這使得閘極電容提升，因而導致驅動電流增加。

然而，即使元件的驅動電流增加，高時脈下的性能反而會因閘極電容變大而變差。為了降低使用高介電係數介電層與金屬閘極的負面影響，必須同時減低電晶體的閘極長度。如同圖二所示，由於本質上高介電係數介電層與金屬閘極對靜電的控制優於 Poly/SiON，降低使用高介電係數介電層與金屬閘極而產生的負面影響是很容易實現的。[1]

近 10 年大量公司致力於高介電係數材料的開發。在考慮閘極氧化層所需求的各項特性（例如；位障高度、介電係數、熱安定性、介面性質、與金屬電極的相容性）之後，尋找了幾種優良的高介電係數薄膜，如：二氧化鈺 (HfO_2)、二氧化鋯 (ZrO_2)、二氧化鈦 (TiO_2) 等。

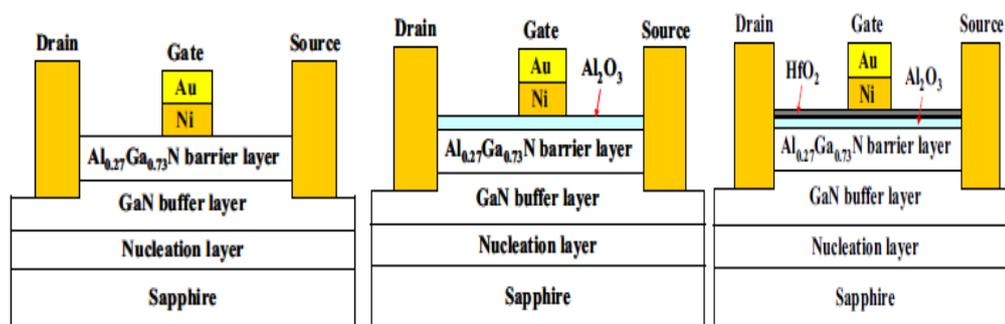
三. 文獻回顧

根據文獻[2]，S. Yagi 等人提出增加介電層的 MIS 結構，有效的減少柵極漏電流，且改善擊穿電壓的特性。在 MIS 結構中二氧化矽已被廣泛地用作介電層材料，然而，如果藉由增加 SiO_2 的厚度進一步提高擊穿電壓，跨導 (g_m) 將變小。因此，常採用高介電常數的材料當成 MIS 結構中的介電層，在柵極下面的介電層可以在不降低 g_m 的情況下，從而降低柵極漏電流。在此研究中，作者採用的是二氧化鈦 (TiO_2) 當成介電材料，具有比 SiO_2 更高的介電常數。此外，作者更提出藉由增加柵極 - 汲極的距離，藉此使擊穿電壓成線性增加，作者推測原因為從閘極注入的電子沿表面產生懸浮鍵，表面缺陷等。當汲極施加高電壓時，越來越多的電子在表面形成缺陷。然而，從柵極到汲極的注入期間會有一些電子從表面返回通道。因此，當柵極-汲極距離變長，漏電流會變小，擊穿電壓達到更高值。

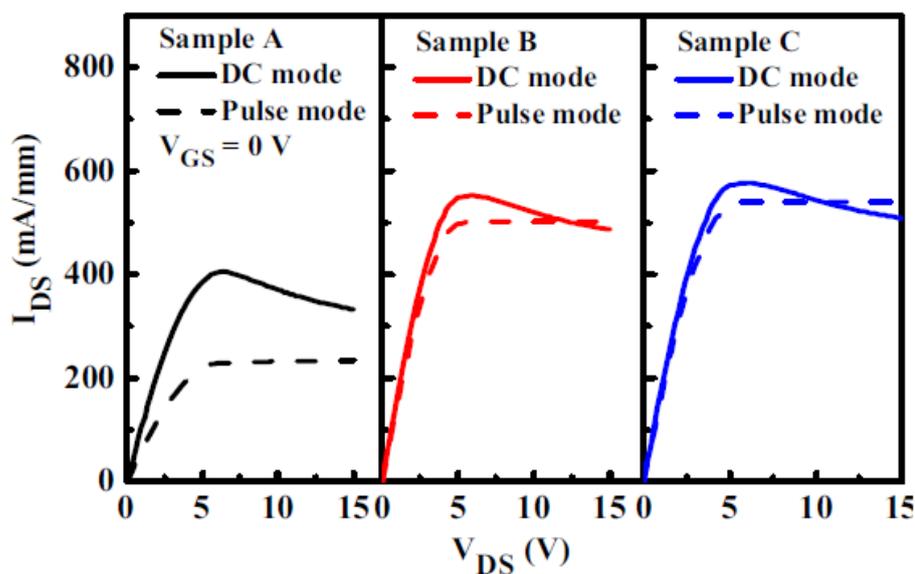


圖(三)閘極長度與崩潰電壓

文獻[3]為傳統HEMT與增加HfO₂介電層HEMT比較，如圖(四)，Bo-Yi Chou在傳統結構上成長Al₂O₃和HfO₂& Al₂O₃，然後與傳統結構進行比較，並量測其特性並推測原因。可發現樣品C有最好的BV_{GD}&V_{ON}數值，作者推測樣品C之所以有較好的特性，原因為有效減少表面缺陷和表面洩漏電流通過，其使用在Al₂O₃上成長HfO₂的方法，其中Al₂O₃形成良好的保護層，而HfO₂可以進一步抑制從閘極通道以熱電子發射和穿隧行為注入的載子。

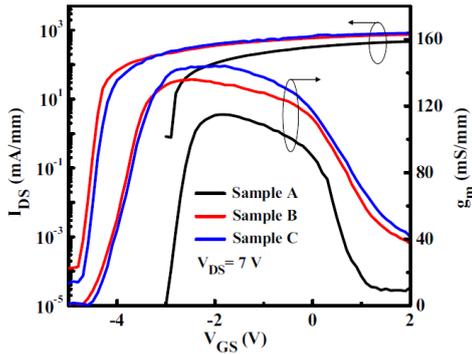


(圖四)Sample A-C

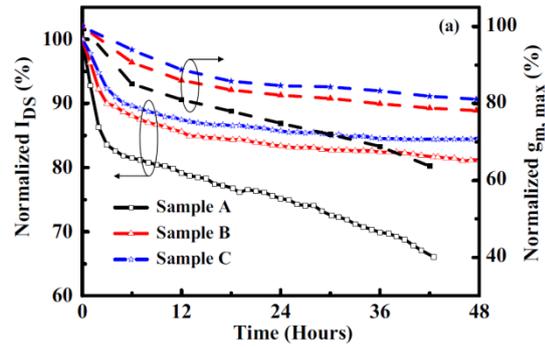


圖(五) I_{DS} - V_{DS}特性

如圖(五)顯示在dc-mode& pulse-mode下電流-電壓(I_{DS}-V_{DS})特性，汲極-源極飽和電流密度 (I_{DSS0}) 分別為337.4mA/mm，552.3 mA/mm，588.5 mA/mm，樣品B和C表現出比樣品A高的飽和電流密度，是由於通過成長保護層改善表面散射和漏電流對載子傳輸的影響，此外，樣品C顯示了比樣品B高的飽和電流密度，這是由於進一步減少柵極漏電流並提高使用柵極絕緣特性的HfO₂ / Al₂O₃的雙堆疊介質設計。另一方面，分析脈衝I-V測量，可發現在V_{DS} = 7 V樣品A-C為37%、9.1%、8.9%，顯示樣品C表有較小的電流差異，顯示使用過氧化氫的氧化技術可有效抑止漏電流。



(圖六)轉移特性



(圖七)可靠度測試

由圖(六)左可看出，由汲極電流(I_D)和汲極電壓(V_{DS})構成所謂的輸出特性(Output Characteristic)曲線，由曲線可看出，Sample B,C的 I_{DS} 值比Sample A明顯來的大，可推測介電層有改善漏電流的功能。而從圖又可看出，Sample C有最大的 g_m 值，擁有最好的轉移特性，最大特點為通過使用雙介質結構，避免了表面電荷引起的通道載子散射。

圖(七)為IDS與 g_m 時間與下降比例關係圖，從圖左可看出隨著時間測試，Sample A在42小時時就已停止動作，而 Sample C的IDS下降比例最小；從圖右可看出，Sample C也擁有最好的特性，作者推測原因Sample A特性不佳的原因有三，(1) AlGaN層與元件表面的陷阱捕捉 (2) 熱電子效應 (3) 穿隧效應產生漏電流，而樣品B顯示了較佳的可靠性，由於增加了介電層因此可以有效地抑制柵極漏電流，然而熱電子效應和穿隧效應仍未完全解決，因此Sample C採用雙異質結構介電層，顯示出最佳的穩定性。

四. 參考文獻:

- 1 半導體科技；Thomas Y. Hoffmann, Imec, Leuven, Belgium
- 2 “High breakdown voltage AlGaN/GaN MIS–HEMT with SiN and TiO₂ gate insulator “;S. Yagi a, M. Shimizu a , M. Inada a , Y. Yamamoto a , G. Piao a , H. Okumura a , Y. Yano b , N. Akutsu b , H. Ohashi a
- 3 “Electrical and Reliability Performances of Stacked HfO₂/Al₂O₃ MOS-HEMTs”;Bo-Yi Chou, Han-Yin Liu, Wei-Chou Hsu, Ching-Sung Lee, Yu-Sheng Wu, and En-Ping Yao